

[Original document](#)

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Publication number: JP11097651

Publication date: 1999-04-09

Inventor: NAGASAKA SHIGERU; YAMAMOTO TADASHI

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:


- international: **H01L21/768; H01L21/8242; H01L21/8246; H01L23/528; H01L27/105; H01L27/108; H01L27/108; H01L21/70; H01L23/52; H01L27/105; H01L27/108; H01L27/108; H01L27/108;**
(IPC1-7): H01L27/108; H01L21/768; H01L21/8242

- European:

Application number: JP19980192042 19980707

Priority number(s): JP19980192042 19980707; JP19970197497 19970723

Also published as:

 US6300683 (B1)

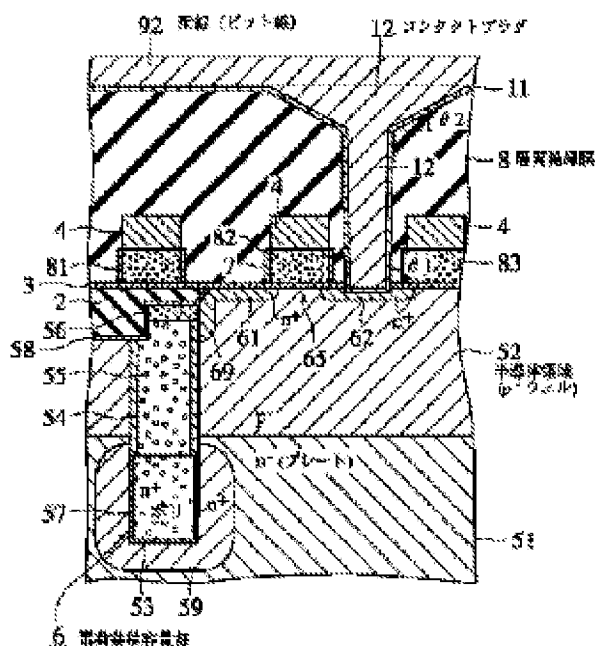
[View INPADOC patent family](#)

[View list of citing documents](#)

[Report a data error here](#)

Abstract of JP11097651

PROBLEM TO BE SOLVED: To prevent the corrosion of a metal wiring to a board by minimizing intervals between metal wirings. **SOLUTION:** Main electrode regions 61, 62 of a semiconductor element are provided in a semiconductor region 52 in a surface of a semiconductor board, and a first layer insulation film 8 and a second layer insulation film 15 are deposited on the semiconductor region 52. A metal wiring 92 is arranged on the second layer insulation film 15. The main electrode region 62 and the metal wiring 92 are connected through a contact plug 12 of a special shape. The special shape has a first taper part of an isotropic taper angle θ_3 started from an interface between the first layer insulation film 8 and the second layer insulation film 15 and a second taper part of an anisotropic taper angle θ_4 started from a middle of the second layer insulation film 15. A connection surface shape of the contact plug 12 to the metal wiring 92 is of an anisotropic shape, so that the size in a parallel direction is larger than that in a vertical direction of the metal wiring 92.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-97651

(43)公開日 平成11年(1999)4月9日

(51)Int.Cl.⁶

H 0 1 L 27/108

21/8242

21/768

識別記号

F I

H 0 1 L 27/10

21/90

27/10

6 8 1 B

C

6 2 1 A

6 2 5 A

審査請求 未請求 請求項の数7 O L (全 32 頁)

(21)出願番号 特願平10-192042

(22)出願日 平成10年(1998)7月7日

(31)優先権主張番号 特願平9-197497

(32)優先日 平9(1997)7月23日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 長坂 滋

三重県四日市市山之一色町字中龍宮800番

地 株式会社東芝四日市工場内

(72)発明者 山本 忠

三重県四日市市山之一色町字中龍宮800番

地 株式会社東芝四日市工場内

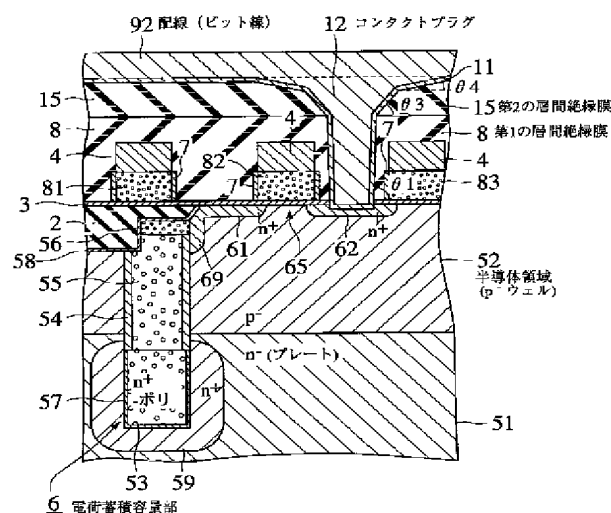
(74)代理人 弁理士 三好 秀和 (外3名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 金属配線の相互の間隔を最小にし、金属配線の基板への浸食を防止する。

【解決手段】 半導体基板の表面の半導体領域52中に半導体素子の主電極領域61、62が設けられ、この半導体領域52の上には、第1の層間絶縁膜8及び第2の層間絶縁膜15が堆積されている。第2の層間絶縁膜15の上には金属配線92が配置されている。主電極領域62と金属配線92とを特殊形状のコンタクトプラグ12で接続している。「特殊形状」とは、第1の層間絶縁膜8及び第2の層間絶縁膜15との界面から開始される等方的なテーパ角 $\theta 3$ の第1のテーパ部と、第2の層間絶縁膜15の途中から開始される異方的なテーパ角 $\theta 4$ の第2のテーパ部を有する形状である。コンタクトプラグ12の金属配線92との接続面形状は、金属配線92の垂直方向よりも、平行方向の寸法が大きくなるような異方性形状である。



61 主電極領域 (第1の主電極領域)

62 主電極領域 (第2の主電極領域)

65 チャンネル領域

81, 82, 83 ワード線

【特許請求の範囲】**【請求項1】** 半導体領域と、

該半導体領域中に配置された主電極領域と、
前記半導体領域上に配置された層間絶縁膜と、
該層間絶縁膜の上部に設けられた配線と、
前記主電極領域と前記配線とを接続するコンタクトプラグとから少なくとも構成され、
前記コンタクトプラグの前記配線との接続面の形状が、
前記コンタクトプラグの中心軸に関して異方的であることを特徴とする半導体装置。

【請求項2】 半導体領域と、

該半導体領域中に設けられた第1および第2の主電極領域と、
前記第1の主電極領域に接続された電荷蓄積容量部と、
前記第1および第2の主電極領域の間の上部に設けられたワード線と、
前記半導体領域およびワード線の上部に設けられた層間絶縁膜と、
前記層間絶縁膜の上部に設けられたビット線と、
前記第2の主電極領域と前記ビット線とを接続するコンタクトプラグとから少なくとも構成され、
前記コンタクトプラグの前記ビット線との接続面の形状が、前記コンタクトプラグの中心軸に関して異方的であることを特徴とする半導体装置。

【請求項3】 前記コンタクトプラグは、前記コンタクトプラグの軸方向に関して、等方的な第1のテーパー部と、異方的な第2のテーパー部とを少なくとも有することを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 前記層間絶縁膜は第1の層間絶縁膜及び該第1の層間絶縁膜の上に形成された第2の層間絶縁膜とから少なくとも構成され、該第1及び第2の層間絶縁膜との界面から前記第1のテーパー部が開始され、該第2の層間絶縁膜の途中から前記第2のテーパー部が開始されていることを特徴とする請求項3記載の半導体装置。

【請求項5】 前記コンタクトプラグの上部端面の形状が、前記コンタクトプラグの中心軸と直交する一軸方向にのみ非対称に伸延していることを特徴とする請求項1又は2記載の半導体装置。

【請求項6】 以下の各工程から少なくともなることを特徴とする半導体装置の製造方法。

- (a) 半導体領域中に主電極領域を形成する工程
- (b) 前記半導体領域の上部に制御電極領域を形成する工程
- (c) 前記半導体領域および前記制御電極領域の上部に層間絶縁膜を堆積する工程
- (d) 前記層間絶縁膜を貫通して、前記主電極領域に達するコンタクトホールを開孔する工程
- (e) 前記コンタクトホールの内壁および前記層間絶縁膜の上部に補助膜を形成する工程
- (f) 前記コンタクトホールの上端開口部近傍の補助膜

を選択的に除去する工程

(g) 前記上端開口部近傍の前記層間絶縁膜を選択的に除去し、前記上端開口部にテーパー部を設ける工程

(h) 前記コンタクトホール中に導電性材料を充填する工程

【請求項7】 以下の各工程から少なくともなることを特徴とする半導体装置の製造方法。

(a) 半導体領域中に主電極領域を形成する工程

(b) 前記半導体領域の上部に制御電極領域を形成する工程

(c) 前記半導体領域および前記制御電極領域の上部に第1の層間絶縁膜を堆積する工程

(d) 前記第1の層間絶縁膜の上部に第2の層間絶縁膜を堆積する工程

(e) 前記第1及び第2の層間絶縁膜を貫通して、前記主電極領域に達するコンタクトホールを開孔する工程

(f) 前記コンタクトホールの内壁をエッチングして、前記コンタクトホールの内壁に第1のテーパー部を形成する工程

(g) 前記コンタクトホールの内壁および前記第2の層間絶縁膜の上部に補助膜を形成する工程

(h) 前記コンタクトホールの上端開口部近傍の補助膜を選択的に除去する工程

(i) 前記上端開口部近傍の前記第2の層間絶縁膜を選択的に除去し、前記上端開口部に第2のテーパー部を設ける工程

(j) 前記コンタクトホール中に導電性材料を充填する工程

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明はアスペクト比の大きな接続孔を有した半導体装置に関わり、特にギガビットレベルのダイナミックRAM(DRAM)等の表面配線が高密度に形成された半導体集積回路及びその製造方法を提供するものである。

【0002】

【従来の技術】 近年半導体集積回路は高集積密度化が進み、特にDRAMに於いてはギガビットレベルの高集積密度が要求されている。このような半導体集積回路の高集積密度化に伴い、表面配線や、表面配線に対する接続孔のパターンの微細化が必須技術となってきた。中でも、層間絶縁膜中に接続孔(コンタクトホール)を開孔し、半導体基板の表面に形成されたソース/ドレイン領域等の半導体領域と金属配線とを接続する技術、あるいは多層配線の相互を接続孔(バイアホール)で互いに接続する技術、およびこれに必要なプロセス等は、最小寸法が微細化されるに従い、多くの工夫が要求されるようになってきている。

【0003】 以下に従来のDRAMの配線技術の問題点を述べる。ここでは、従来例としてビット線と選択トラ

ンジスタのドレイン領域を接続する場合について述べる。図48は、DRAMのメモリセル部の一部の表面図で、3本のビット線109-1, 2, 3及びビット線109-2に接続されるコンタクトホールを示している。図49(a)は、図48のI-I線即ち、ビット線109-2の方向に沿った断面図であり、図49(b)は、図48のII-II線即ち、ビット線109-2に垂直な方向に沿った断面図である。p型のシリコン基板101中に形成されたn⁺ドレイン領域106dとn⁺ソース領域106s及びゲート電極105等からなる選択トランジスタ(nMOSFET)が示されている。ゲート電極105はワード線を兼ねている。n⁺ソース領域106sに接続される蓄積容量部は、図示を省略しているが、n⁺ドレイン領域106dとビット線109-2とがコンタクトプラグ112によって互いに接続されている。

【0004】図48及び図49に示すDRAMのメモリセルは以下のような製造工程で製造される。

【0005】(a) まず、図50(a)に示すように、p型のシリコン基板101に素子分離領域102を形成する。続いてゲート絶縁膜103、リンをドーパした多結晶シリコン膜105及びシリコン窒化膜104を堆積する。その後、フォトリソスト(以下において「レジスト」と略記する)をマスクにシリコン窒化膜104及び多結晶シリコン膜105をドライエッチングしてゲート電極105を形成する。

【0006】(b) 次にゲート電極105/シリコン窒化膜104をマスクに、例えばリン(³¹P⁺)をイオン注入し、熱工程を通すことによりゲート電極105の側壁にシリコン酸化膜107と、nMOSFETのn⁺ソース領域106sおよびn⁺ドレイン領域106dを形成する。

【0007】(c) 続いて図50(b)に示すようにBPSG等の層間絶縁膜108を堆積し、所定の厚さになるよう、その表面を平坦化する。

【0008】(d) 次に図50(c)、および図51(d)に示すようにフォトリソグラフィ技術を用いて、レジストのパターニングをする。そして、このレジストをマスクにエッチングして、ビット線を形成するための溝109a, 109b, 109cを形成する。エッチング後、このレジストを剥離する。図51(d)は図48のII-II方向に対応した断面図である。

【0009】(e) 次に図51(e)に示すように、フォトリソグラフィ技術を用いて、新たなレジスト121のパターニングをする。このレジスト121をマスクにドライエッチングし所定の位置に接続孔(コンタクトホール)110bを開口する。コンタクトホール開口後、レジストを剥離する。

【0010】(f) 次に図51(f)に示すように、例えばTi/TiNの積層膜に代表されるバリアメタル膜111を堆積する。その後タングステン膜112を堆積

してCMP(化学的機械研磨)で平坦化すれば図48及び図49に示すDRAMのビット線の配線が完成する。

【0011】こうしてビット線、コンタクトホール共にバリアメタル膜111とタングステン膜からなるコンタクトプラグ112で埋め込まれる。尚、バリアメタル膜111は、タングステンがシリコンを侵食し、リークの原因となるのを防止する目的で設けられているが、スパッタリングで形成される為、カバレッジは余り良くない。

【0012】

【発明が解決しようとする課題】以上のような従来の半導体装置及びその製造方法では、以下の問題点が生じる。

【0013】(1) 現在のDRAMのコンタクトホール110bのアスペクト比は、1.5から3程度になってきており、更に4以上の高アスペクト比が要求される傾向にある。DRAMのコンタクトホール110bにタングステンプラグ112の充填の際、コンタクトホール110bのアスペクト比が高くなると、コンタクトホール110bの奥にタングステン膜の十分な充填ができなくなってくる。これは、図51(e), (f)において示されている基板表面とコンタクトホール側面のなす角 θ_6 (以下テーパ角と称す)が垂直に近いからである。従って、コンタクトホール110b内に均一にタングステンプラグ112を充填させにくい。

【0014】(2) 仮に図52で示したように、アスペクト比を小さくしたとしても、コンタクトホール110aの側面とビット線109の底面がなす角 θ_7 (以下「肩」と称す)が垂直に近い($\theta_7 > 87^\circ \sim 89^\circ$)という状態は改善されないで、バリアメタル膜111が均一に堆積されにくく、バリアメタル膜111の切断の可能性がある。即ち、図53で示したように、開口部上端の肩の部分のバリアメタル111が厚くなり、その分その底面の角X部分の膜厚が極端に小さくなり、このX部分において基板101へのタングステンプラグ112の侵食の恐れがある。

【0015】(3) 上記(2)の問題を回避するため、図54(a)及び図54(b)に示すような、コンタクトホール110bの下部接続面の孔径を一定に保ったまま、上部接続面の孔径のみを大きくする技術が提案されている。しかし、この場合、ビット線間隔が狭くなってくると、隣接するビット線とのショートが生じる可能性がある。

【0016】即ち、図54(a)で示したように、予め絶縁膜108に等方性エッチングを行って、上部接続面の孔径のみを大きくすることも試みられている。これによれば、上記コンタクトホール110bの上部孔径が大きくなるので上記バリアメタル膜111がほぼ均一に堆積される。

【0017】しかし、この場合には、図54(b)で示

したように、DRAMの如くに配線（ビット線）109a、109b間が狭い場合、コンタクトホール110aの上部の孔径が隣の配線溝109bに、コンタクトホール110bの上部孔径が隣の配線溝109aに接触するので、隣接する配線溝109a、109bの距離を狭めようとした場合の大きな制約となってしまう。特に、隣接する配線のコンタクトの位置が接近しているとコンタクト間の直接干渉の恐れも有り、この制約は更に大きなものとなる。

【0018】本発明の目的は、このような従来技術の問題点を解決することを目的とする。

【0019】特に、本発明は、製造工程を複雑にすることなく、表面配線相互の間隔を短縮し、これにより高集積密度半導体装置を提供することにある。

【0020】本発明の他の目的は、表面配線と半導体基板中に配置された主電極領域間の断線や、接合リークの不良等が少ない高集積密度半導体集積回路等の半導体装置を提供することにある。

【0021】本発明のさらに他の目的は、バリア金属の膜厚均一性を改善し、半導体基板中の主電極領域に対する良好なオーミックコンタクトを得ることが出来る半導体装置を提供することにある。

【0022】本発明のさらに他の目的は、アスペクト比の大きなコンタクトホールを有した場合であっても断線や接合リークの不良等が少ない半導体装置を提供することにある。

【0023】本発明のさらに他の目的は、製造工程が簡単で、ビット線相互の間隔が短縮された高集積密度半導体装置を提供することにある。

【0024】本発明のさらに他の目的は、ビット線と選択トランジスタのソース領域／ドレイン領域間の断線や、接合リークの不良等が少ない半導体装置を提供することにある。

【0025】本発明のさらに他の目的は、バリア金属の膜厚均一性を改善し、選択トランジスタのソース領域／ドレイン領域等に対する良好なオーミックコンタクトを得ることが出来る半導体装置を提供することにある。

【0026】本発明のさらに他の目的は、アスペクト比の大きなコンタクトホールを有した場合であっても断線や接合リークの不良等が少ない半導体装置を提供することにある。

【0027】本発明のさらに他の目的は、断線・接合リーク等の不良等が少なく、かつ高集積密度化が可能な半導体装置を簡単に製造できる半導体装置の製造方法を提供することにある。

【0028】

【課題を解決するための手段】上記目的を達成するために、本発明は、半導体領域；半導体領域中に配置された主電極領域；半導体領域上に配置された層間絶縁膜；層間絶縁膜の上部に設けられた配線；及び主電極領域と配

線とを接続する特定形状のコンタクトプラグを有する半導体装置であることであることを第1の特徴とする。

「特定形状のコンタクトプラグ」とは、配線との接続面となるコンタクトプラグ上部の端面、及びこの端面近傍の形状が、コンタクトプラグの中心軸に関して異方的であるということである。「コンタクトプラグの中心軸」とは、円柱、四角柱等の柱状形状のコンタクトプラグの軸、即ち半導体基板の表面に垂直方向の軸を意味する。

「異方的」とは、コンタクトプラグの接続面（上部の端面）の形状が、コンタクトプラグの中心軸と直交する一軸方向にのみ伸延した形状の意である。たとえば、配線と平行方向の長軸と、配線の垂直方向の短軸を有する楕円や長方形等の異方性形状を意味し、真円、正多角形等の等方的な形状と区別する意である。また、「主電極領域」とは、FETのソース領域やドレイン領域、あるいはバイポーラトランジスタのコレクタ領域やエミッタ領域の意である。さらに、「半導体領域」とは、具体的には支持基板となる半導体基板上のpウェルやnウェルでも、半導体基板自身でもかまわない。また、SOI基板のような埋め込み絶縁膜の上に形成された半導体層でもかまわない。

【0029】本発明の第1の特徴によれば、複雑な工程を増やすことなく、隣接する配線とコンタクトプラグとのショートを防ぎながら、配線とコンタクトプラグ及び半導体領域中に配置された主電極領域とを確実に接続できる。このため、信頼性の高い半導体装置を提供できる。

【0030】本発明は、高い集積度を要求する様なDRAM、スタティックRAM(SRAM)、強誘電体メモリ(FRAM)、ロジックLSI等の半導体集積回路への応用が特に効果的である。例えば、64Mビットや256Mビット、さらには1Gビット以上の大容量のDRAMでは、ビット線間隔が非常に狭まってきている。本発明の第2の特徴は、このようなビット線間隔が狭まったDRAM等の半導体装置に係る。即ち、本発明の第2の特徴は、半導体領域；半導体領域中に設けられた第1および第2の主電極領域；第1の主電極領域に接続された電荷蓄積容量部；第1および第2の主電極領域の間の上部に設けられたワード線；半導体領域およびワード線の上部に設けられた層間絶縁膜；層間絶縁膜の上部に設けられたビット線；and第2の主電極領域とビット線とを接続する特定形状のコンタクトプラグを少なくとも有するメモリセルからなる半導体装置であることである。ここで、「特定形状のコンタクトプラグ」とは、コンタクトプラグのビット線との接続面の形状が、コンタクトプラグの中心軸に関して異方的であるという意である。「コンタクトプラグの中心軸」とは、円柱、四角柱等のコンタクトプラグの軸、即ち半導体基板の表面に垂直方向の軸を意味する。「異方的」とは、コンタクトプラグの接続面の形状が、コンタクトプラグの中心軸と直交する一

軸方向にのみ伸延した形状の意である。たとえば、ビット線と平行方向の長軸と、ワード線方向の短軸を有する楕円や長方形等の異方性形状を意味する。また、「主電極領域」とは、メモリセルの選択トランジスタを構成するFETのソース領域／ドレイン領域、あるいはバイポーラトランジスタのコレクタ領域／エミッタ領域の意である。また、「半導体領域」とは、pウェルやnウェルでも、半導体基板自身でもかまわない。また、SOI基板のような埋め込み絶縁膜の上に形成された半導体層でもかまわない。

【0031】本発明の第2の特徴によれば、コンタクトプラグとビット線をなだらかな角度で接続し、その接続部が余分なスペースを費やすことも無い。したがって、断線の危険を回避しながら、ビット線同士を、より接近させ、集積密度を向上させることが容易である。

【0032】本発明の第3の特徴は半導体装置の製造方法に係る。すなわち、本発明の第3の特徴は、半導体領域中に主電極領域を形成する工程；半導体領域の上部に制御電極領域を形成する工程；半導体領域および制御電極領域の上部に層間絶縁膜を堆積する工程；層間絶縁膜を貫通して、主電極領域に達するコンタクトホールを開孔する工程；コンタクトホールの内壁および層間絶縁膜の上部に補助膜を形成する工程；コンタクトホールの上端開口部近傍の補助膜を選択的に除去する工程；上端開口部近傍の層間絶縁膜を選択的に除去し、上端開口部にテーパ部を設ける工程；コンタクトホール中に導電性材料を充填する工程を少なくとも含む半導体装置の製造方法であることである。ここで、「補助膜」としては、スピコートで形成する有機膜等が好ましい。また、「主電極領域」とは、FETのソース領域やドレイン領域、「制御電極領域」とは、ゲート領域等の主電極領域間を流れる主電流を制御するための領域の意である。

【0033】本発明の第3の特徴によれば、コンタクトホールの上端開口部近傍に異方性形状のテーパ部を設けることが出来るので、コンタクトプラグと金属配線とをなだらかな角度で接続し、その接続部が余分なスペースを費やすことも無い。したがって、断線の危険は回避しながら、金属配線同士を、より接近させることが可能であるので、集積密度を向上させることが容易である。

【0034】本発明の第4の特徴も半導体装置の製造方法に係る。すなわち、本発明の第4の特徴は、半導体領域中に主電極領域を形成する工程；半導体領域の上部に制御電極領域を形成する工程；半導体領域および制御電極領域の上部に第1の層間絶縁膜を堆積する工程；第1の層間絶縁膜の上部に第2の層間絶縁膜を堆積する工程；第1及び第2の層間絶縁膜を貫通して、主電極領域に達するコンタクトホールを開孔する工程；コンタクトホールの内壁をエッチングして、コンタクトホールの内壁に第1のテーパ部を形成する工程；コンタクトホールの内壁および第2の層間絶縁膜の上部に補助膜を形成す

る工程；コンタクトホールの上端開口部近傍の補助膜を選択的に除去する工程；上端開口部近傍の第2の層間絶縁膜を選択的に除去し、上端開口部に第2のテーパ部を設ける工程；コンタクトホール中に導電性材料を充填する工程を少なくとも含む半導体装置の製造方法であることである。ここで、「補助膜」としては、スピコートで形成する有機膜等が好ましい。また、「主電極領域」とは、FETのソース領域やドレイン領域、「制御電極領域」とは、ゲート領域等の主電極領域間を流れる主電流を制御するための領域の意である。

【0035】本発明の第4の特徴によれば、コンタクトホールの上端開口部近傍に異方性形状のテーパ部を設けることが出来るので、コンタクトプラグと金属配線とをなだらかな角度で接続し、その接続部が余分なスペースを費やすことも無い。したがって、断線の危険は回避しながら、金属配線同士を、より接近させることが可能であるので、集積密度を向上させることが容易である。

【0036】

【発明の実施の形態】次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【0037】（第1の実施の形態）図1及び図2は本発明の第1の実施の形態に係るDRAMの平面図である。図2は、上層に位置するビット線を除去し、その下部のコンタクトプラグ12の形状及び活性領域（デバイス領域）66を示している図である。また、図3は図1のI-I方向の断面図で、図4は図1のII-II方向の断面図である。

【0038】本発明の第1の実施の形態に係るDRAMは、多数の記憶素子要素（メモリセル）をX-Yマトリクス状に配置して構成される。そして、それぞれの記憶素子要素（メモリセル）は、1つの選択トランジスタと1つの電荷蓄積容量部（キャパシタ部）からなっている。図1及び図2は、その内の数個のメモリセルを示す部分図である。図3は、ワード線82及び83に接続される2つの記憶素子要素近傍を示す。この2つの記憶素子要素の中央に配置されたコンタクトプラグ12が左右に延長しているビット線92と接続している。そして、中央のコンタクトプラグ12の両側に、n⁺ソース領域61およびn⁺ドレイン領域62からなる選択トランジスタが配置されている。コンタクトプラグ12の右側の選択トランジスタのn⁺ソース領域61は、図示を省略している。更に、n⁺ソース領域61の外側には、電荷蓄積容量部（トレンチキャパシタ）6が位置し、埋め込

みコンタクト69により互いに接続されている。

【0039】図3に示すように、本発明の第1の実施の形態に係るDRAMは、図示を省略したp型(100)シリコン基板上に形成されたn⁻埋め込み層51をプレート層としている。そして、このプレート層の上にp⁻ウェル52を配置し、p⁻ウェル52の表面に、DRAMのユニットセルの選択トランジスタを構成している。p⁻ウェル52は、STI(Shallow Trench Isolation)法等により形成された、素子分離用のシリコン酸化膜等の絶縁膜2により周辺を囲まれ、その内部を活性領域としている。図2には活性領域の範囲を矩形66で示している(図3は、特定の活性領域66の一部の断面ということになる)。この活性領域66中のp⁻ウェル52の表面に、選択トランジスタのn⁺ソース領域61およびn⁺ドレイン領域62が配置されている。選択トランジスタn⁺ソース領域61およびn⁺ドレイン領域62の間のp⁻ウェル52がチャンネル領域65となる。このチャンネル領域65の上部にはゲート酸化膜3を介して、ポリシリコン等のゲート電極81、82、83が形成されている。図1に示すように、ポリシリコンゲート電極81、82、83はワード線を兼ねており、ビット線91、92、93と直交する方向に伸延している。ゲート電極81、82、83の上には、ゲート電極81、82、83とほぼ同一寸法のシリコン窒化膜(Si₃N₄)4が形成され、ゲート電極81、82、83の側壁には薄いシリコン酸化膜7が形成されている。そして、ゲート電極81、82、83/シリコン窒化膜(Si₃N₄)4の上には、BPSG等の層間絶縁膜8が形成されている。そして、層間絶縁膜8の上には、図1に示すように、ビット線91、92、93が配置されている。

【0040】図3に示すように、n⁺ドレイン領域62の上部には、テーパ角 θ 2のテーパ部を有するコンタクトプラグ12が接続され、さらにコンタクトプラグ12はビット線92に接続されている。コンタクトプラグ12は、層間絶縁膜8中に形成されたコンタクトホールに埋め込まれている。このテーパ部は、コンタクトプラグ12の軸方向に関して、異方的な形状をしている。つまり、コンタクトホールは、ビット線方向のみに、その上部がテーパ角 θ 2で面トリされている。この結果、コンタクトホール開口部断面形状、即ち、コンタクトプラグ12のビット線92との接続面の形状が、コンタクトプラグ12の中心軸に関して異方的となっている。「異方的」とは、図2に示すように、コンタクトプラグ12の中心軸と直交する一軸方向、即ち、ここではビット線方向にのみ伸延し、ビット線と垂直方向は相対的に短いという意である。言い換えれば、コンタクトプラグ12の接続面の形状は、ビット線92と平行方向の長軸と、ビット線92の垂直方向の短軸を有する異方性形状である。コンタクトホール開口部断面形状は、左右対称に伸

延している。

【0041】図3に示すように、コンタクトホール(即ちコンタクトプラグ12)のテーパ角 θ 2が θ 1より十分小さくなっているため、コンタクトホール側壁とコンタクトプラグ12間のバリアメタル膜11の膜厚の均一性が良好である。この結果、コンタクトプラグ12とビット線91、92、93との接続は、なだらかな角度で形成され、断線の危険は回避されている。また、テーパ角 θ 2は異方的であるので、テーパ角 θ 2によるゲート配線方向のコンタクトプラグ12の直径の増大は起こらない。このため、テーパ角 θ 2を設けても、隣接するビット線とコンタクトプラグ12とのショート防止が容易である。

【0042】なお、n⁺ソース領域61の近傍にはp⁻ウェル52を貫通して、n⁻プレート層51中をさらに掘り込んだトレンチが形成され、トレンチ内壁には容量絶縁膜57となる厚さ3乃至8nmのNO膜が形成されている。この容量絶縁膜57の表面には、トレンチを埋め込むように蓄積電極53となる第1のn⁺ドーパドポリシリコン(n⁺DOPOS)が形成されている。第1のn⁺DOPOSのかわりにW、Ti、Mo等の高融点金属やこれらのシリサイド(WSi₂、TiSi₂、MoSi₂)等を用いてもよい。トレンチ底部の近傍にはn⁺拡散層59が形成されている。第1のn⁺DOPOSからなる蓄積電極55と容量絶縁膜57とn⁺拡散層59(n⁺拡散層59は、n⁻プレート電極51の一部と解することが出来る)とによって、本発明の第1の実施の形態に係るDRAMの電荷蓄積容量部(トレンチキャパシタ部)6が構成されている。このトレンチキャパシタ部の蓄積電極55と、選択トランジスタのn⁺ソース領域61とが、第2及び第3のn⁺DOPOS55、56及び埋め込みコンタクト69により接続されている。第2のn⁺DOPOS55とp⁻ウェル52との間には、「カラー酸化膜(collar oxide)」と称される厚いシリコン酸化膜54が形成されている。カラー酸化膜54は、n⁺ソース領域61とn⁺拡散層59/n⁻プレート電極51間に形成される寄生トランジスタによるリーク電流を抑えるためのシリコン酸化膜である。

【0043】次に、図1のII-II方向に沿った断面図である図4について簡単に説明する。図4に示すように、プレート層51の上にはp⁻ウェル52が配置され、p⁻ウェル52は、STI素子分離絶縁膜2により周辺を囲まれている。STI素子分離絶縁膜2に挟まれて、n⁺ドレイン領域62が形成されている。このn⁺ドレイン領域62及びSTI素子分離絶縁膜2の上には、ゲート酸化膜3を介してBPSG等の層間絶縁膜8が形成されている。そして、層間絶縁膜8の上には、ビット線91、92が配置されている。図4に示すように、ビット線92とn⁺ドレイン領域62とは、コンタクトプラグ12で接続されている。先に述べたように、コンタクト

プラグ12のビット線92との接続面の形状は、コンタクトプラグ12の中心軸に関して異方的となっているので、図3とは異なる断面形状である。即ち、図3においては、コンタクトプラグ12は、ビット線方向に、その上部がテーパ角 θ 2で面トリされていたが、図4の断面図上では面取りされていない点に留意すべきである。つまり、ビット線と垂直方向のコンタクトプラグ12の上部端面の幅は、ビット線と平行方向に比し、相対的に短い。言い換えれば、図3に示したテーパ角 θ 2は異方的であるので、テーパ角 θ 2によるゲート配線方向のコンタクトプラグ12の直径の増大は認められない。このため、ビット線方向にテーパ角 θ 2を設けても、隣接するビット線とコンタクトプラグ12とのショートの問題は発生しない。

【0044】図1の平面図に示すように、3本のビット線91、92、93が左右に伸び、一定間隔毎にコンタクトプラグ12が位置している。コンタクトプラグ12のビット線接続部形状は、図2に示すような、ビット線の延びる方向のみに拡大された形状であるので、ビット線91、92、93を可能な限り接近できる。そして、ビット線91、92、93を接近させても、断線の心配も生じない。従って、本発明の第1の実施の形態に係るDRAMの構造によれば、メモリセルの集積度を向上させることが容易である。このように、本発明の第1の実施の形態によれば、ビット線間の隔たりDが、ほぼそのままビット線同士の干渉に関するマージンとなっており、更にビット線間隔を狭め集積度を向上させることができる。

【0045】本発明の第1の実施の形態に係るDRAMは以下のような製造工程で製造できる。

【0046】(a) まずp(100)基板中に砒素($^{75}\text{As}^+$)を1乃至10MeVでイオン注入し、その後アニールすることによりn⁻埋め込み層51を形成する。MeVクラスの高エネルギーイオン注入法を使わないで拡散で形成しても良い。この場合は、n⁻埋め込み層51の拡散層の表面に1上にp⁻層(p⁻ウェル)52を拡散する必要がある。あるいは、選択エピタキシャル成長で、n⁻埋め込み層51及びこの上のp⁻層52を堆積しても良い。次に、p⁻ウェル52の表面にシリコン酸化膜を形成する。そして、フォトリソグラフィを用い、トレンチ(U溝)形成予定部分以外にフォトレジストを形成し、たとえば CF_4 、 CF_4/H_2 あるいは C_3F_8 等を用いたECRIオンエッチングあるいはRIEでp⁻ウェル52の表面のシリコン酸化膜をエッチングする。そして、このシリコン酸化膜をマスクとして、 CF_4 、 SF_6 、 CBrF_3 、 SiCl_4 、あるいは CCl_4 等によるRIE又はECRIオンエッチングにより、深さ5乃至10 μm のキャパシタ部形成用のトレンチを形成する。トレンチエッチング時に基板を-110℃乃至-130℃に冷却することも有効である。そして、このトレ

ンチの底部から砒素($^{75}\text{As}^+$)をイオン注入し、トレンチ底部近傍にn⁺拡散層59を形成する。

【0047】(b)そして、このトレンチ内に容量絶縁膜57となる厚さ3乃至8nmのNO膜を形成する。NO膜の形成に続いて、トレンチの内部に第1のn⁺DOPOS53を埋め込む。その後、RIEで第1のn⁺DOPOS53を約1 μm エッチバックする。そしてこのエッチバックしたトレンチの内壁を熱酸化して厚いカラー酸化膜54を形成する。その後、指向性の高いRIEを用いて第1のn⁺DOPOS53の上部のカラー酸化膜54のみを選択的に除去する。そして第1のn⁺DOPOS53に続けて第2のn⁺DOPOS55を埋め込む。第1及び第2のn⁺DOPOS53、55の埋め込みは減圧CVDで行なえばよい。その後、第2のn⁺DOPOS55の上部を埋め込みコンタクト69の深さ分エッチバックする。さらに、露出したカラー酸化膜54を除去する。そして、第2のn⁺DOPOS55に続けて、第3のn⁺DOPOS56をCVDで堆積し、図5に示すようにエッチバックする。

【0048】(c)さらにフォトリソグラフィ法およびRIE法を用いて活性領域の周囲のp⁻層52をエッチング除去する。また、トレンチ上部の余分な第3のn⁺DOPOS56を除去する。こうして形成したシャロートレンチ内にシリコン窒化膜(Si_3N_4)58を形成し、更にシリコン酸化膜(SiO_2)等の絶縁物2を埋め込み、図6に示すようなSTI領域を形成する。絶縁物2の埋め込みの際、及びその後の熱処理により、第3のn⁺DOPOS56中のn型不純物がp⁻ウェル52に拡散して、最終的な埋め込みコンタクト69が完成する。

【0049】(d)続いて、ゲート絶縁膜3、リンをドーブした厚さ100乃至300nmのn⁺DOPOS膜81、82、83及び厚さ150乃至250nmのシリコン窒化膜(Si_3N_4)4を堆積し、レジストをマスクにシリコン窒化膜(Si_3N_4)4及びn⁺DOPOS膜81、82、83をドライエッチングして図7に示すようにゲート電極81、82、83を形成する。この時ゲート電極81、82、83はn⁺DOPOSに限定するものではなく、タングステン(W)、モリブデン(Mo)、Ti(チタン)等の高融点金属、これらの高融点金属のシリサイド(WSi_2 、 MoSi_2 、 TiSi_2)あるいは多結晶シリコンとシリサイド膜の積層膜(ポリサイド膜)であっても良い。次に、このゲート電極81、82、83/シリコン窒化膜(Si_3N_4)4をマスクに例えばリン($^{31}\text{P}^+$)をイオン注入する。

(e)イオン注入後、所定の熱工程を施すことによりゲート電極81、82、83の側壁にシリコン酸化膜7と、nMOSFETのn⁺ソース領域61、n⁺ドレイン領域62を形成する。これはMOSFETのよく知られた製造工程と同様である。なお、図8に示す以外の他の

構造や、多くの類似の方法を採用できる。例えば、イオン注入を2回行ないLDD構造のMOSFETを設けてもよい。

【0050】(f) 続いて図9に示すようにBPSG等の層間絶縁膜8を堆積する。その後、所定の層間絶縁膜8の厚さ、例えば400乃至600nmとなるように、平坦化する。そして、層間絶縁膜8の上にレジストをスピコートし、フォトリソグラフィ法を用いてこのレジストのパターニングを行う。このレジストのパターンをマスクにして、RIEを行ない、図10及び図11に示すようなコンタクトホール10を開口する。コンタクトホール10の直径は0.15乃至0.5 μ mとすればよい。そして、その後レジストの剥離を行う。図11(a)は図10のI-I方向に沿った断面で、図11(b)は図10のII-II方向に沿った断面図である。

【0051】(g) 次に図12に示すようにコンタクトホール10の内壁および層間絶縁膜8の表面に補助膜13を形成する。この補助膜13は、液状有機材料膜をコンタクトホール10の内壁および層間絶縁膜8の表面にスピコートして形成した有機膜が好ましい。液状有機材料膜のスピコーティングは、レジストと同様にウエハの上に粘性のある液状有機材料を乗せ、基板を回転させて形成するものである。このため、コンタクトホール10内部に液状有機材料膜が流れ、その肩の部分Cは非常に薄くなる。液状有機材料膜の粘性は、例えば、3乃至10mPa \cdot s程度に選び、1500ないし4000rpmの回転数でスピコートすればよい。この液状有機材料膜の好ましい例として、例えば有機溶材、アクリルポリマー、吸光材からなる塗布型反射防止膜がある。ただし、アクリルポリマーに吸光成分があれば、吸光材はまぜる必要はない。なお、図12(a)は図10のI-I方向に対応した、図12(b)は図10のII-II方向に対応した断面図である。以下の図も同様な関係で、図13(a)、14(a)、15(a)、16(a)、17(a)は図10のI-I方向に対応した断面図、図13(b)、14(b)、15(b)、16(b)、17(b)は図10のII-II方向に対応した断面図である。

【0052】(h) 続いてレジスト14を全面にスピコートし、所望の位置にビット線の溝を形成するように所定のマスクを用いて露光する。露光後現像、リンス等を行なえば、図13(a)および図13(b)に示すようなレジスト14のマスクが出来る。そして、このレジスト14のマスクを用いて有機膜13をドライエッチングする。この場合、ドライエッチングは、CF₄、O₂、Arの混合ガス等を用いて、絶縁膜表面の有機膜13が全て除去されるまで行えばよい。通常は若干オーバーエッチングとなるまで行う。この時、図14(a)に示すように有機膜13の薄いコンタクトホール10の肩Cのうち、ビット線方向の肩のみが先にエッチングされる。

すなわち図14(a)のDの部分のみにおいて絶縁膜8の後退が生じる。通常、有機膜13と絶縁膜8とのエッチングレートの比は1から2程度なので、上記コンタクトホール10の肩Dが余計除去される。これは θ_1 よりも小さいテーパ角 θ_2 (たとえば、 $25^\circ < \theta_2 < 45^\circ$)を持ち、且つ上部接続面の直径がビット線方向のみ異方的に増大することを意味する。一方図14(b)に示すようにII-II方向(ゲート配線方向)のコンタクトホール10の肩はレジスト14で被覆されているのでエッチングされず、ゲート配線方向の孔径の増大は起こらない。これはビット線間が狭くても隣接するビット線とコンタクトホールとのショートを防ぐことを意味する。

【0053】(i) 続いて図15に示すようにレジスト14をマスクにビット線91、92、93の形成のため絶縁膜8をドライエッチングで所望の深さまでエッチングし、溝91a、92aを形成する。「所望の深さ」とは、例えば、150乃至350nm程度である。その後レジスト14及びコンタクトホール10の中に残留した有機膜13の剥離を行う。又、必要に応じて再度不純物拡散を行い、半導体領域表面の不純物密度をあげてコンタクト抵抗を低くする。こうしてゲート配線81、82、83方向には、上部の孔径を増大させることなく、上記ビット線溝92a方向には孔径を増大させたコンタクトホール10が形成される。

【0054】(j) 次に図16に示すように、例えばTi/TiNの積層膜に代表されるバリアメタル膜11を10乃至50nm堆積する。ここで、バリアメタル膜11はコンタクトホール10の肩Dが絶縁膜の後退のため消滅しており、テーパ角 θ_2 は θ_1 より十分小さくなっており、上記ビット線溝92a方向に孔径が広がっているため、ほぼ均一に堆積される。つづいて図17に示すようにタングステン膜等の導電膜9を充填させる。この時も導電膜9はコンタクト10の上部接続面形状のビット線方向への異方的増大によってコンタクトホール内に均一に充填され得る。こうしてビット線、コンタクトホール共に同一膜の導電体で均一に充填される。最後にCMP等による平坦化の処理を行えば、図1乃至図4に示した本発明の第1の実施の形態に係るDRAMの構造が完成となる。

【0055】なお本発明の第1の実施の形態に係るDRAMに用いる導電膜9はタングステンに限るものでなく例えばAl、Al-Si、Al-Si-Cuでもよい。また、コンタクトプラグ12とビット線91、92、93とは同一材料であっても、異種材料であってもかまわない。例えば、DRAMメモリセル部は異種材料で構成し、周辺回路部は同一材料で構成しても良い。

【0056】さらに、上記絶縁膜8はBPSGに限るものではなく、PSGや不純物のドーピングされていないSiO₂膜でもよい。

【0057】(第2の実施の形態)図18及び図19は本発明の第2の実施の形態に係るDRAMの平面図である。図19は、ビット線の下部のコンタクトプラグ12の形状及び活性領域66を示すため、上層のビット線の図示を省略した図である。また、図20は図18のI-I方向の断面図で、図21は図18のII-II方向の断面図である。

【0058】図20に示すように、本発明の第2の実施の形態に係るDRAMは、図示を省略したp型(100)シリコン基板上に形成されたn⁻埋め込み層51をプレート層とし、このプレート層の上のp⁻ウェル52の表面に、DRAMのユニットセルの選択トランジスタを構成している。p⁻ウェル52は、STI法等により形成された、素子分離用のシリコン酸化膜等の絶縁膜2により周辺を囲まれ、その内部を活性領域66としている(図19には活性領域66の範囲を矩形で示している)。この活性領域66中のp⁻ウェル52の表面に、選択トランジスタのn⁺ソース領域61およびn⁺ドレイン領域62が配置されている。選択トランジスタのn⁺ソース領域61およびn⁺ドレイン領域62の間のp⁻ウェル52がチャンネル領域65となる。このチャンネル領域65の上部にはゲート酸化膜3を介して、ポリシリコン等のゲート電極81、82、83が形成されている。図18に示すように、ポリシリコンゲート電極81、82、83はワード線を兼ねており、ビット線91、92、93と直交する方向に伸延している。ゲート電極81、82、83の上には、ゲート電極81、82、83とはほぼ同一寸法のシリコン窒化膜(Si₃N₄)4が形成され、ゲート電極81、82、83の側壁には薄いシリコン酸化膜7が形成されている。そして、ゲート電極81、82、83/シリコン窒化膜(Si₃N₄)4の上には、BPSG等の第1の層間絶縁膜8、更にその上にSiO₂等の第2の層間絶縁膜15が形成されている。第1の層間絶縁膜8の厚さは、300乃至600nm、好ましくは480nm程度である。第2の層間絶縁膜15の厚さは、例えば200乃至350nm程度、好ましくは、220nm程度である。そして、第2の層間絶縁膜15の上には、図18に示すように、ビット線91、92、93が配置されている。

【0059】図20に示すように、n⁺ドレイン領域62の上部には、第1の層間絶縁膜8及び第2の層間絶縁膜15との界面から開始されるテーパ角 θ 3の第1のテーパ部と、第2の層間絶縁膜15の途中から開始されるテーパ角 θ 4の第2のテーパ部を有するコンタクトプラグ12が設けられている。さらにコンタクトプラグ12はビット線92に接続されている。コンタクトホール10の直径は底部において約0.15乃至0.5 μ m程度、このましくは0.3 μ m程度とすればよい。第1のテーパ部は、コンタクトプラグ12の軸方向に関して、等方的な円形である。一方、第2のテーパ部は、コンタ

クトプラグ12の軸方向に関して、異方的な形状である。これに対応して、コンタクトホールは、その上部がテーパ角 θ 4で異方的に面トリされ、更に途中で、テーパ角 θ 3で等方的に面トリされている。このため、コンタクトプラグ12のビット線92との接続面の形状は、コンタクトプラグ12の中心軸に関して異方的である。異方的とは、コンタクトプラグ12のビット線との接続面の形状が、コンタクトプラグ12の中心軸と直交する一軸方向、即ちビット線方向にのみ、左右対称に伸延しているという意である。言い換えれば、コンタクトプラグ12の接続面の形状は、ビット線92と平行方向の長軸と、ビット線92の垂直方向の短軸を有する異方性形状である。

【0060】このように、コンタクトホール、即ちコンタクトプラグ12のテーパ角 θ 3、 θ 4が半導体基板とコンタクトホール下部側壁のなすテーパ角 θ 1より十分小さくなっているため、コンタクトホール側壁とコンタクトプラグ12間のバリアメタル膜11の膜厚の均一性が良好である。異方的なテーパ角 θ 4によるゲート配線方向の孔径の増大は起こらないので、隣接するビット線とコンタクトホールとのショート防止が容易である。

【0061】さらに、n⁺ソース領域61の近傍にはトレンチが形成され、トレンチ内壁には容量絶縁膜57となる厚さ3乃至8nmのNO膜が形成されている。この容量絶縁膜54の表面には、トレンチを埋め込むように蓄積電極55となる第1のn⁺DOPOSが形成されている。第1のn⁺DOPOSのかわりにW、Ti、Mo等の高融点金属やこれらのシリサイド(WSi₂、TiSi₂、MoSi₂)等を用いてもよい。トレンチ底部の近傍にはn⁺拡散層59が形成されている。第1のn⁺DOPOSからなる蓄積電極55と容量絶縁膜57とn⁺拡散層59/n⁻プレート電極51とによって、本発明の第2の実施の形態に係るDRAMの電荷蓄積容量部(トレンチキャパシタ部)6が構成されている。このトレンチキャパシタ部の蓄積電極55と、選択トランジスタのn⁺ソース領域61とが、第2及び第3のn⁺DOPOS55、56及び埋め込みコンタクト69により接続されている。第2のn⁺DOPOS55とp⁻ウェル52の間には、厚いシリコン酸化膜(カラー酸化膜)54が形成されている。カラー酸化膜54は、n⁺ソース領域61とn⁺拡散層59/n⁻プレート電極51間に形成される寄生トランジスタによるリーク電流を抑えるためのシリコン酸化膜である。

【0062】次に、図18のII-II方向に沿った断面図である図21について簡単に説明する。図21に示すように、プレート層51の上にはp⁻ウェル52が配置され、p⁻ウェル52は、STI素子分離絶縁膜2により周辺を囲まれている。STI素子分離絶縁膜2に挟まれて、n⁺ドレイン領域62が形成されている。このn⁺ドレイン領域62及びSTI素子分離絶縁膜2の上には、

ゲート酸化膜3を介してBPSG等の第1の層間絶縁膜8、更にその上にSiO₂等の第2の層間絶縁膜15が形成されている。そして、第2の層間絶縁膜15の上には、配線（ビット線）91、92が配置されている。図21に示すように、ビット線92とn⁺ドレイン領域62とは、コンタクトプラグ12で接続されている。先に述べたように、コンタクトプラグ12のビット線92との接続面の形状は、コンタクトプラグ12の中心軸に関して異方的となっているので、図20とは異なる断面形状である。即ち、図20においては、コンタクトプラグ12は、第1の層間絶縁膜8及び第2の層間絶縁膜15との界面から開始されるテーパ角 θ_3 の第1のテーパ部と、第2の層間絶縁膜15の途中から開始されるテーパ角 θ_4 の第2のテーパ部を有するコンタクトプラグ12が設けられていたが、図21の断面図上ではテーパ角 θ_3 の第1のテーパ部は存在するが、第2の層間絶縁膜15の途中から開始されるテーパ角 θ_4 の第2のテーパ部は存在しない点に留意すべきである。つまり、ビット線と垂直方向のコンタクトプラグ12の上部端面の幅は、ビット線と平行方向に比し、相対的に短い。言い換えれば、図20に示したテーパ角 θ_4 は異方的であるので、テーパ角 θ_4 によるゲート配線方向のコンタクトプラグ12の直径の増大は認められない。このため、ビット線方向にテーパ角 θ_4 を設けても、隣接するビット線とコンタクトプラグ12とのショートの問題は発生しない。

【0063】本発明の第2の実施の形態に係るDRAMは以下のような製造工程で製造できる。

【0064】(a) p型(100)シリコン基板上に、n⁺プレート層51、p⁺ウェル52を形成し、素子分離領域(STI領域)2、選択トランジスタ(nMOSFET)、電荷蓄積容量部(トレンチ・キャパシタ部)等を形成する工程は、第1の実施の形態で説明した図5乃至10と同様である。

【0065】(b) 続いて図22に示すようにBPSG等の第1の層間絶縁膜8、更にその上にSiO₂等の第2の層間絶縁膜15を堆積する。第1の層間絶縁膜8は、厚さ300乃至600nm、好ましくは480nm程度堆積する。第2の層間絶縁膜15は、後に形成するビット線の溝の深さよりも高く堆積する必要がある、例えば200乃至350nm堆積する。そして、第2の層間絶縁膜15の表面を、所定の厚さになるよう平坦化する。この結果、第2の層間絶縁膜15の厚さは、例えば220nmとなる。

【0066】(c) 次に、レジスト24をマスクとして用い、CF₄、O₂、Arの混合ガス等をエッチングガスとして用いて、RIE等のドライエッチングを行う。このドライエッチングで図23及び図24に示すようなコンタクトホール10を開孔する。この時、第1の層間絶縁膜8及び第2の層間絶縁膜15が違う膜種のため、エッチング特性の違いで、第1の層間絶縁膜8及び第2の

層間絶縁膜15界面から、テーパ角 θ_3 を有した等方的な第1のテーパ部が生成される。テーパ角 θ_3 と、基板表面に対するコンタクトホール10の下部側面のなす角度 θ_1 とは異なる(例えば、 $87^\circ < \theta_1 < 89^\circ$ 、 $86^\circ < \theta_3 < 88^\circ$)。ただし、 $\theta_1 > \theta_3$ となるような第1の層間絶縁膜8及び第2の層間絶縁膜15の組み合わせを選ぶ。その後レジスト24を除去する。なお、図24(a)は図23のI-I方向に沿った、図24(b)は図23のII-II方向に沿った断面図である。

【0067】(d) 次に図25に示すように、コンタクトホール10の内壁および第2の層間絶縁膜15の表面に補助膜13を形成する。ここで、図25(a)は図23のI-I方向に対応した断面図、図25(b)は図23のII-II方向に対応した断面図である。この補助膜13は、液状有機材料膜をスピコートした有機膜が好ましい。液状有機材料膜の性質上、コンタクトホール10の肩の部分Cの厚さは非常に薄くなる。液状有機材料膜の粘性は、例えば、3乃至10mPa・s程度に選び、1500ないし4000rpmの回転数でスピコートすればよい。この液状有機材料膜の好ましい例として、例えば有機溶材、アクリルポリマー、吸光材からなる塗布型反射防止膜がある。

【0068】(e) 続いて、レジスト14を有機膜13の上にスピコートする。そして、図26及び図27に示すように、所望の位置にビット線の溝を形成するように、フォトリソグラフィ法を用いテーパターニングする。ここで、図27(a)は図26のI-I方向に沿った断面図、図27(b)は図26のII-II方向に沿った断面図である(なお、以下の図も同様な関係で、図28(a)、29(a)、30(a)、31(a)は図26のI-I方向に対応した断面図、図28(b)、29(b)、30(b)、31(b)は図26のII-II方向に対応した断面図である)。こうして、レジスト14中にストライプ状の窓部91b、92bが形成される。

【0069】(f) レジスト14をマスクに有機膜13をドライエッチングする。エッチングガスとしては、CF₄、O₂、Arの混合ガス等を用いればよい。この時図28(a)に示すように有機膜の薄い、コンタクトホール10の肩のうち、ビット線方向の肩のみが先にエッチングされ、第2の層間絶縁膜15の異方的後退が生じる第2のテーパ部が生成される(図28(a)のDに示す)。これは第1の実施の形態と同様に、新たに第3のテーパ角 θ_4 (たとえば $25^\circ < \theta_4 < 45^\circ$ 程度)を持ち、コンタクトホール上部接続面の直径がビット線方向のみに異方的に増大することを意味する。一方、図28(b)に示すようにゲート配線方向のコンタクト10の肩Cはレジストで被覆されているのでエッチングされず、ゲート配線方向の孔径の増大は起こらない。これは隣接するビット線とコンタクトホールとのショートが防止されることを意味する。

【0070】(g) 続いて図29に示すようにレジスト14をマスクに第2の層間絶縁膜15をドライエッチングして所望の深さの溝91a, 92aを形成する。「所望の深さ」とは、例えば、150乃至350nmである。具体的には、第2の層間絶縁膜15との相対的な関係を有するので、第2の層間絶縁膜15の厚さを220nmとすれば、溝91a, 92aの深さは210nm程度が好ましい。その後レジスト14及びコンタクトホール10の中に残留した有機膜13の剥離を行う。こうしてゲート配線方向にコンタクトホールの孔径を増大させることなく、ビット線方向のみに孔径を異方的に増大させたコンタクトホール10が形成される。

【0071】(h) 次に、図30に示すように、例えばTi/TiNの積層膜に代表されるバリヤメタル膜11を堆積する。コンタクトホール10の肩が第2の層間絶縁膜15の異方的後退のためなだらかになり、テーパ角 $\theta 3$ 及び $\theta 4$ が $\theta 1$ より小さくなり、且つビット線溝92a方向のみに孔径が異方的に広がっているので、バリヤメタル膜11は、ほぼ均一に堆積できる。

【0072】(i) 続いて、図31に示すようにタングステン膜等の導電膜9を充填させる。この時も導電膜9はコンタクトホール10の上部接続部口径のビット線方向の異方的増大によってコンタクトホール10内に均一に充填され得る。こうしてビット線92、コンタクトプラグ12共に同一材料の導電体で均一に充填される(図20及び図21参照)。最後にCMPによる平坦化を行えばプロセスの終了となる。なお上記導電膜はタングステンに限るものでなく例えばAl, Al-Si, Al-Si-Cuでもよい。

【0073】ここで、コンタクトプラグ12とビット線91, 92, 93とは同一材料であっても、異種材料であってもかまわない。例えば、DRAMメモリセル部は異種材料で構成し、周辺回路部は同一材料で構成しても良い。以下に、コンタクトプラグ12とビット線91, 92, 93とが異種材料である場合の製造方法の一例を示す。

【0074】(a) 第1及び第2の層間絶縁膜8, 15を堆積し、コンタクトホール10を開孔し、等方的な第1のテーパ部を形成し、このコンタクトホール10の内壁および第2の層間絶縁膜15の表面に有機膜13を形成するまでの工程は、前述の図25までの工程と同様である。ただし、第2の層間絶縁膜15は、ビット線の厚さ分薄く堆積してよいので、例えば50乃至150nm堆積する。

【0075】(b) 続いて、レジスト25を有機膜13の上にスピコートする。そして、図32及び図33に示すように、コンタクトホール10近傍のみに、エッチング窓を開く。このエッチング窓は、ビット線方向に長手の辺を有した矩形パターンである。ここで、図33(a)は図32のI-I方向に沿った断面図、図33

(b)は、図32のII-II方向に沿った断面図である(なお、以下の図も同様な関係で、図34(a), 35(a)は図32のI-I方向に対応した断面図、図34(b), 35(b)は図32のII-II方向に対応した断面図である)。

【0076】(c) 次に、レジスト25をマスクに有機膜13をドライエッチングする。この時図34(a)に示すように、コンタクトホール10の肩のうち、ビット線方向の肩のみが先にエッチングされ、第2の層間絶縁膜15の異方的後退が生じ、第3のテーパ角 $\theta 4$ (たとえば $25^\circ < \theta 4 < 45^\circ$ 程度)を有した異方的な第2のテーパ部が生成される。この結果、コンタクトホール上部接続面の直径がビット線方向のみに異方的に増大する。図34(b)に示すようにゲート配線方向のコンタクト10の肩Cはレジストで被覆されているのでエッチングされず、ゲート配線方向の孔径の増大は起こらない。

【0077】(d) 次に、図35に示すように、Ti/TiNの積層膜等に代表されるバリヤメタル膜11を堆積する。ビット線方向のコンタクトホール10の肩が、第2の層間絶縁膜15の異方的後退のためなだらかとなり、孔径が広がっているので、バリヤメタル膜11は、ほぼ均一に堆積できる。続いて、タングステン膜26を充填させる。この時もタングステン膜26はコンタクトホール10の上部接続部口径のビット線方向の増大によってコンタクトホール10内に均一に充填される。

【0078】(e) 次に、第2の層間絶縁膜15が露出するまで、CMPによるタングステン膜26の表面の平坦化を行う。第2の層間絶縁膜15及びタングステン膜26の表面のスライトエッチ、洗浄後、Al, Al-Si, Al-Si-Cu膜等の金属膜92を、真空蒸着、スパッタリング法等により堆積する。続いて、レジスト28を金属膜92の上にスピコートする。そして、図36及び図37に示すように、所望の位置にビット線のパターンに対応したレジストのパターンを形成する。ここで、図37(a)は図36のI-I方向に沿った断面図、図37(b)は図36のII-II方向に沿った断面図である。そして、このレジストのパターンをマスクとして用いて、RIE法により金属膜92をパターンニングする。

【0079】(f) 最後に、最終パッシベーション膜27を堆積し、CMPによる最終パッシベーション膜27の平坦化を行えば、図38に示すようなコンタクトプラグ26とビット線91, 92とが異種材料である構造が完成する(図38(a)は図36のI-I方向に対応した断面図、図38(b)は図36のII-II方向に対応した断面図である)。

【0080】(第3の実施の形態) 以上の説明では、コンタクトホールとビット線等の表面配線は、正確に位置あわせが行われるものとして説明を行った。しかし、実

際には、許容範囲内で若干の位置ずれが存在する。しかし、その様な場合でも、本発明は全く同様に、その目的を果たすことが可能であることは以下の第3の実施の形態の説明から理解されるであろう。

【0081】図39は本発明の第3の実施の形態に係る半導体装置の平面図である。また、図40(a)は図39のI-I方向の断面図で、図40(b)は図39のII-II方向の断面図である。図40(b)に示すように、表面配線92の直交方向(II-II方向)において、コンタクトプラグ12が非対称に飛び出している。本発明の第3の実施の形態に係る半導体装置は、図40に示すように、p型(100)シリコン基板1上にトランジスタを構成している。トランジスタは、STI法等により形成された、素子分離領域2により周辺を囲まれたp型(100)シリコン基板1の表面に、トランジスタのn⁺ソース領域61およびn⁺ドレイン領域62が配置されている。トランジスタn⁺ソース領域61およびn⁺ドレイン領域62の間のp型(100)シリコン基板1がチャンネル領域65となる。このチャンネル領域65の上部にはゲート酸化膜3を介して、ポリシリコン等のゲート電極5が形成されている。ゲート電極5の上には、ゲート電極5とほぼ同一寸法のシリコン窒化膜(Si₃N₄)4が形成され、ゲート電極5の側壁には薄いシリコン酸化膜7が形成されている。そして、ゲート電極5/シリコン窒化膜(Si₃N₄)4の上には、BPSG等の層間絶縁膜8が形成されている。そして、層間絶縁膜8の上には、表面配線91、92が配置されている(図39参照)。表面配線91、92は、第1の実施の形態で説明したビット線でも良く、他の信号線や電源配線でもかまわない。

【0082】図40(b)に示すように、n⁺ドレイン領域62の上部には、異方的且つ非対称形状のコンタクトプラグ12が接続され、さらにコンタクトプラグ12は表面配線92に接続されている。コンタクトプラグ12は、層間絶縁膜8中に形成されたコンタクトホールに埋め込まれている。本発明の第3の実施の形態に係る半導体装置においては、図40(a)に示すように、テーパー角 θ 2のテーパー部を有するコンタクトプラグ12が設けられている。このテーパー部は、コンタクトプラグ12の軸方向に関して、異方的な形状をしている。つまり、コンタクトホールは、図40(a)に示すように、ビット線に平行な方向にのみ、その上部が対称にテーパー角 θ 2で面トリされ、図40(b)に示すように、表面配線の伸延する方向と直交する方向には非対称に伸延している。図39に明らかなように、コンタクトプラグ12の接続面の形状は、ビット線92と平行方向の長軸と、ビット線92の垂直方向の短軸を有する異方性形状である。

【0083】このように、コンタクトホール、即ちコンタクトプラグ12のテーパー角 θ 2が θ 1より十分小さく

なっているので、コンタクトホール側壁とコンタクトプラグ12間のバリアメタル膜11の膜厚の均一性が良好である。このような非対称の断面形状により、ゲート配線方向のコンタクトプラグ接続部の孔径が、一部増大しているが、その最大値は一定範囲内に抑制されている。従って、表面配線とコンタクトホールの合わせずれが生じた際でも、隣接する配線とコンタクトホールとのショートが防ぐことを容易にする。

【0084】次に、図41乃至図44を参照して、本発明の第3の実施の形態に係る半導体装置の製造方法を説明する。以下の説明においては、コンタクトホールと表面配線の形成に、若干の位置ずれがあった場合の説明となっているが、本発明はこのような場合に限られない。むしろ、意図的にずらすことによって表面配線の位置をコンタクトホールを移動させずに調整したい場合等にも有効であることに留意すべきである。

【0085】(a) 先ず、p型のシリコン基板1の所定の部分に素子分離領域2を形成する。続いてゲート絶縁膜3、n⁺DOP OS膜5、シリコン窒化膜(Si₃N₄)4を堆積し、ドライエッチング等によりパターンニングして、ゲート電極5を形成する。次にゲート電極5/シリコン窒化膜(Si₃N₄)4をマスクに、例えばリン(³¹P⁺)をイオン注入し、nMOSFETのn⁺ソース領域61、n⁺ドレイン領域62を形成する。続いてBPSG等の層間絶縁膜8を堆積し、この層間絶縁膜8中にコンタクトホール10をドライエッチングで開孔する。次にこのコンタクトホール10の内壁および層間絶縁膜8の表面に補助膜13を形成する。この補助膜13は、液状有機材料膜をスピコートした有機膜が好ましい。第1の実施の形態と同様に、コンタクトホール10上端部の肩の部分の有機膜13の厚さは非常に薄くなる(図12参照)。

【0086】(b) 続いてレジスト14を塗布し、フォトリソグラフィ法を用いて、所望の位置に配線溝を形成するようパターンニングする。ここで図41及び図42は配線溝92bのパターンとコンタクトホール10のパターンの位置合わせずれが起きた状態を表している(図42(a)は図41のI-I方向に沿った、図42(a)は図41のII-II方向に沿った断面図である)。

【0087】(c) 次に、レジスト14をマスクに有機膜13をドライエッチングする。この時、図43(a)に示すように配線溝92bの長手の方向に沿った断面では、有機膜13の薄いコンタクトホール10の肩が先にエッチングされ、層間絶縁膜8の後退が生じる。ここで、図43(a)は、図41のI-I方向に対応した断面図、図43(b)は図41のII-II方向に対応した断面図である。これはコンタクトホール10の上部がテーパー角 θ 2で面トリされ、開口部が拡大されること、すなわち、上部接続面の直径が表面配線方向に増大することを意味する。一方図43(b)に示すようにゲート配線

方向の断面図上では、エッチングは非対称に進行する。即ち、コンタクトホール10の左側の肩a点はレジスト14で被覆されているのでエッチングされないが、右側の肩b1点はレジスト14で被覆されていないのでエッチングされる。こうして上部接続部におけるコンタクトホール10の孔径はゲート配線方向にも増大するが、一定の制限がある。つまり、b2点からはレジスト14に被覆されているためエッチングの進行が抑制され、コンタクトホール上部の孔径のゲート配線方向に沿った増大は止まる。このように、ゲート配線方向の孔径も一部増大するが、その最大値は線分a-b2の長さに抑制される。これは表面配線とコンタクトホールの合わせずれが生じた際でも、隣接する配線とコンタクトホールとのショートが防がれることを意味する。

【0088】(d) 続いて図44に示すように、レジスト14をマスクに配線溝91a、92aの形成のため層間絶縁膜8をドライエッチングで所望の深さまでエッチングする(図44(a)は、図41のI-I方向に対応した断面図、図44(b)は図41のII-II方向に対応した断面図である。)。この結果、図44(b)に示すようにゲート配線方向の断面図上では、層間絶縁膜8のエッチングは非対称に進行する。即ち、コンタクトホール10の左側の肩はレジスト14で被覆されているのでエッチングされないが、右側の肩は、ほぼ所定の深さまでエッチングされる。こうしてゲート配線方向においては、右側のみ、上部接続面の孔径は増大する。その後レジスト14及びコンタクトホール10の中に残留した有機膜13の剥離を行う。

【0089】(e) 以後の工程は、図30及び図31を参照されたい。すなわち、例えばTi/TiNの積層膜に代表されるバリヤメタル膜11を、コンタクトホール10の内壁および層間絶縁膜8の表面に堆積する。ここで、バリヤメタル膜11はコンタクトホール10の肩が層間絶縁膜8の後退のためなだらかになっているので、ほぼ均一に堆積できる。図40(a)に示すように、テーパ角 θ_2 が θ_1 より十分小さくなっており、配線溝92a方向に孔径が広がっているのでバリヤメタル膜11の膜厚の均一性は良好である。つづいてタングステン膜12をコンタクトホール10中に充填させる。この時もタングステン膜12はコンタクトホール10の上部接続面の表面配線方向の孔径の増大によってコンタクトホール内に均一に充填され得る。こうして表面配線、コンタクトホール共に同一膜の導電体で均一に充填され、最後にCMPによる平坦化を行えばプロセスの終了となる。

【0090】なお上記導電膜はタングステンに限るものでなく例えばAl、Al-Si、AlSi-Cuでもよい。また、上記層間絶縁膜はBPSGに限るものではなく、不純物のドーパされてないSiO₂膜でもよい。

【0091】(その他の実施の形態) 上記のように、本

発明は第1乃至第5の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施の形態及び運用技術が明らかとなろう。

【0092】たとえば、既に述べた第1及び第2の実施の形態においては、トレンチ型DRAMについて説明したが、これはあくまで例示であり、スタック型DRAM、フィン型DRAM等の種々のDRAMに適用できることは勿論である。

【0093】図45は、SOI構造を用いたスタック型DRAMの模式的な断面図である。図45においては、p型(100)シリコン基板201の表面に埋め込み酸化膜202を介して、p型SOI層203が構成されている。p型SOI層203は、STI法等により形成された、素子分離領域2により周辺を囲まれ、その内部を活性領域としている。この活性領域中のp型SOI層203の表面に、選択トランジスタのn⁺ソース領域61およびn⁺ドレイン領域62が配置されている。選択トランジスタn⁺ソース領域61およびn⁺ドレイン領域62の間のp型SOI層203がチャンネル領域となる。このチャンネル領域203の上部にはゲート酸化膜3を介して、ポリシリコン等のゲート電極86、87、88が形成されている。ポリシリコンゲート電極86、87、88はワード線を兼ねており、ビット線92と直交する方向に伸延している。ゲート電極86、87、88の上及び側壁には、シリコン酸化膜(SiO₂)若しくはシリコン窒化膜(Si₃N₄)29が形成されている。そして、このシリコン酸化膜(SiO₂)若しくはシリコン窒化膜(Si₃N₄)29の上には、BPSG等の第1の層間絶縁膜8、更にその上にSiO₂等の第2の層間絶縁膜15が形成されている。そして、第2の層間絶縁膜15の上には、ビット線92が配置されている。

【0094】図45に示すスタック型DRAMの電荷蓄積容量部(キャパシタ部)は、蓄積電極425と容量絶縁膜426とプレート電極427とによって構成されている。蓄積電極425と、n⁺ソース領域61とは互いに接続されている。また、n⁺ドレイン領域62の上部には、第1の層間絶縁膜8及び第2の層間絶縁膜15との界面から開始される等方的なテーパ角 θ_3 の第1のテーパ部と、第2の層間絶縁膜15の途中から開始される異方的なテーパ角 θ_4 の第2のテーパ部を有するコンタクトプラグ12が設けられている。さらにコンタクトプラグ12はビット線92に接続されている。このため開口部断面形状がビット線方向のみに異方的に伸延している。このように、コンタクトホール、即ちコンタクトプラグ12のテーパ角 θ_3 、 θ_4 が θ_1 より十分小さくなっているため、コンタクトホール側壁とコンタクトプラグ12間のバリヤメタル膜11の膜厚の均一性が良好である。異方的なテーパ角 θ_4 によるゲート配線方向の孔

径の増大は起こらないので、隣接するビット線とコンタクトホールとのショート防止が容易である。

【0095】容量絶縁膜426としては、シリコン酸化膜(SiO_2)はもとより、シリコン窒化膜(Si_3N_4)、タンタル酸化膜(Ta_2O_5)、チタン酸ストロンチウム膜(SrTiO_3)、チタン酸バリウム膜(BaTiO_3)等の種々の誘電体を使用可能である。また、容量絶縁膜426として、ジルコン酸チタン酸鉛(PZT)やBaリッチ組成のチタン酸バリウムストロンチウム膜($\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$)等の強誘電体膜を用いれば、FRAMとして動作する。

【0096】図46は、SOI構造を用いたフィン型DRAMの模式的な断面図である。このフィン型DRAMの電荷蓄積容量部(キャパシタ部)は、図46に示すようなフィン構造の蓄積電極425と容量絶縁膜426とプレート電極427とによって構成され、極めて大きな蓄積容量を得ることが可能である。他は、図45と基本的に同様であるので、説明を省略する。図46においても、 n^+ ドレイン領域62の上部には、第1の層間絶縁膜8及び第2の層間絶縁膜15との界面から開始される等方的なテーパ角 θ_3 の第1のテーパ部と、第2の層間絶縁膜15の途中から開始される異方的なテーパ角 θ_4 の第2のテーパ部を有するコンタクトプラグ12が設けられている。このため開口部断面形状がビット線方向のみに異方的に伸延している。このように、コンタクトホール、即ちコンタクトプラグ12のテーパ角 θ_3 、 θ_4 が θ_1 より十分小さくなっているので、コンタクトホール側壁とコンタクトプラグ12間のバリアメタル膜11の膜厚の均一性が良好である。異方的なテーパ角 θ_4 によるゲート配線方向の孔径の増大は起こらないので、隣接するビット線とコンタクトホールとのショート防止が容易である。

【0097】図47(a)は、本発明の更に他の実施の形態としてのSRAMのメモリセルを示す回路図である。このSRAMのメモリセルは、 T_1 乃至 T_6 の6つのトランジスタから構成されている。そして、pMOSFET T_3 とnMOSFET T_4 とからなるCMOSインバータと、pMOSFET T_4 とnMOSFET T_2 とからなるCMOSインバータとが互いにフリップフロップ動作をする。そして、ゲート電極にワード線Wを接続したnMOSFET T_5 のドレイン電極にコンタクト部 C_1 を介してビット線Bが接続され、nMOSFET T_5 のソース電極が、一方のCMOSインバータの入力側、及び他方のCMOSインバータ出力側に接続されている。さらに、ゲート電極にワード線Wを接続したnMOSFET T_6 のドレイン電極にコンタクト部 C_2 を介して反転ビット線B(バー)が接続され、nMOSFET T_6 のソース電極が、一方のCMOSインバータの出力側、及び他方のCMOSインバータ入力側に接続されている。pMOSFET T_3 、 T_4 のソース電極は、コン

タクト部 C_2 を介して高位電源配線 V_{dd} に接続され、nMOSFET T_1 、 T_2 のソース電極は、コンタクト部 C_7 を介して低位電源配線 V_{ss} に接続されている。

【0098】図47(b)は、図47(a)に示したメモリセル部の主なる表面パターンを示す平面図である。縦方向にビット線301及び反転ビット線302が走行している。そして、このビット線301及び反転ビット線302に直交するように、高位電源配線303、低位電源配線304及びワード線313が走行している。pMOSFET T_3 は、 p^+ ソース領域322および p^+ ドレイン領域321を、pMOSFET T_4 は、 p^+ ソース領域322および p^+ ドレイン領域323を有している。nMOSFET T_1 は、 n^+ ソース領域325および n^+ ドレイン領域324を、nMOSFET T_2 は、 n^+ ソース領域325および n^+ ドレイン領域326を、nMOSFET T_5 は、 n^+ ソース領域324および n^+ ドレイン領域327を、nMOSFET T_6 は、 n^+ ソース領域326および n^+ ドレイン領域328を有している。nMOSFET T_5 及びnMOSFET T_6 のゲート電極が、ポリシリコンワード線313を兼ねている。pMOSFET T_3 とnMOSFET T_4 とは、共通のポリシリコンゲート電極311を、pMOSFET T_4 とnMOSFET T_2 とは、共通のポリシリコンゲート電極312を有している。一方のCMOSインバータの出力側と他方のCMOSインバータ入力側とは、金属配線305で、一方のCMOSインバータの入力側と他方のCMOSインバータ出力側とは、金属配線306で互いに接続されている。

【0099】図47(b)に示すように、ビット線301との接続部 C_1 、反転ビット線302との接続部 C_2 、高位電源配線303との接続部 C_3 及び低位電源配線304との接続部 C_7 において、本発明の第2の実施の形態で説明したコンタクトプラグ12の形状が採用されている。すなわち、これらの接続部 C_1 、 C_2 、 C_3 及び C_7 におけるコンタクトプラグ12はそれぞれの配線との接続部において、それぞれの配線と平行方向の長さが、配線の垂直方向の長さよりも長くなるような異方的形状をしている(配線の陰になっているが、破線で示したように配線方向に異方的に伸延した接続部の形状である)。断面図の図示を省略しているが、第2の実施の形態で説明したように、コンタクトホールの上が異方的なテーパ角 θ_4 で面トリされ、更にその下で、等方的テーパ角 θ_3 で面トリされていることは勿論である。このようなコンタクトプラグの中心軸に関して異方的なコンタクトプラグ12の形状、すなわち、コンタクトホール10の肩が異方的になだらかになっているので、コンタクトホール側壁とコンタクトプラグ12間のバリアメタル膜11の膜厚の均一性が良好である。また、異方的なテーパ角 θ_4 による配線と直交方向の孔径の増大は起こらないので、隣接する配線とコンタクトホールとのショート防止が容易である。

防止が容易である。なお、接続部C₇におけるコンタクトプラグ12は、第3の実施の形態の異方的且つ非対称の形状を採用しても良い。

【0100】また、図47(b)に示したように、本発明は信号配線との接続部だけでなく、電源配線との接続部にも適用可能であることに留意すべきである。

【0101】このように、本発明はここでは記載していない様々な実施の形態等を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲に係る発明特定事項によってのみ限定されるものである。

【0102】

【発明の効果】本発明によれば、製造工程を複雑にすることなく、表面配線相互の間隔を短縮し、これにより高集積密度半導体装置を提供することが出来る。

【0103】また、本発明によれば、表面配線と半導体基板中に配置された主電極領域間の断線や、接合リークの不良等が少ない高集積密度半導体集積回路等の半導体装置を提供することが出来る。

【0104】さらに、本発明によれば、バリヤメタルの膜厚均一性を改善し、半導体基板中の主電極領域に対する良好なオーミックコンタクトを得ることが出来る半導体装置を提供することが出来る。

【0105】さらに、本発明によれば、アスペクト比の大きなコンタクトホールを有した場合であっても断線や接合リークの不良等が少ない半導体装置を提供することが出来る。

【0106】さらに、本発明によれば、製造工程が簡単で、ビット線相互の間隔が短縮された高集積密度半導体装置を提供することが出来る。

【0107】さらに、本発明によれば、ビット線と選択トランジスタのソース領域／ドレイン領域間の断線や、接合リークの不良等が少ない半導体装置を提供することが出来る。

【0108】さらに、本発明によれば、バリヤメタルの膜厚均一性を改善し、選択トランジスタのソース領域／ドレイン領域等に対する良好なオーミックコンタクトを得ることが出来る半導体装置を提供することが出来る。

【0109】さらに、本発明によれば、断線・接合リーク等の不良等が少なく、かつ高集積密度化が可能な半導体装置を簡単に製造できる半導体装置の製造方法を提供することが出来る。

【図面の簡単な説明】

【図1】図1は本発明の第1の実施の形態に係るDRAMのビット線およびワード線を示す平面図である。

【図2】図1のビット線よりも下層のコンタクトプラグおよび活性領域等を示す平面図である。

【図3】図1のI-I方向に沿った本発明の第1の実施の形態に係るDRAMの断面図である。

【図4】図1のII-II方向に沿った本発明の第1の実施

の形態に係るDRAMの断面図である。

【図5】本発明の第1の実施の形態に係るDRAMの製造方法を説明する工程図(その1)に係る断面図である。

【図6】本発明の第1の実施の形態に係るDRAMの製造方法を説明する工程図(その2)に係る断面図である。

【図7】本発明の第1の実施の形態に係るDRAMの製造方法を説明する工程図(その3)に係る断面図である。

【図8】本発明の第1の実施の形態に係るDRAMの製造方法を説明する工程図(その4)に係る断面図である。

【図9】本発明の第1の実施の形態に係るDRAMの製造方法を説明する工程図(その5)に係る断面図である。

【図10】本発明の第1の実施の形態に係るDRAMの製造方法を説明する工程図(その6)に係る平面図である。

【図11】(a)は図10のI-I方向の工程断面図で、(b)は図10のII-II方向の工程断面図である。

【図12】本発明の第1の実施の形態に係るDRAMの製造方法を説明する工程図(その7)に係る断面図である。(a)は図10のI-I方向に対応した断面図で、(b)は図10のII-II方向に対応した断面図である。

【図13】本発明の第1の実施の形態に係るDRAMの製造方法を説明する工程図(その8)に係る断面図である。(a)は図10のI-I方向に対応した断面図で、(b)は図10のII-II方向に対応した断面図である。

【図14】本発明の第1の実施の形態に係るDRAMの製造方法を説明する工程図(その9)に係る断面図である。(a)は図10のI-I方向に対応した断面図で、(b)は図10のII-II方向に対応した断面図である。

【図15】本発明の第1の実施の形態に係るDRAMの製造方法を説明する工程図(その10)に係る断面図である。(a)は図10のI-I方向に対応した断面図で、(b)は図10のII-II方向に対応した断面図である。

【図16】本発明の第1の実施の形態に係るDRAMの製造方法を説明する工程図(その11)に係る断面図である。(a)は図10のI-I方向に対応した断面図で、(b)は図10のII-II方向に対応した断面図である。

【図17】本発明の第1の実施の形態に係るDRAMの製造方法を説明する工程図(その12)に係る断面図である。(a)は図10のI-I方向に対応した断面図で、(b)は図10のII-II方向に対応した断面図である。

【図18】本発明の第2の実施の形態に係るDRAMの平面図である。

【図19】図18のビット線よりも下層の、本発明の第2の実施の形態に係るDRAMのコンタクトプラグおよび活性領域等を示す平面図である。

【図20】図18のI-I方向に沿った本発明の第2の実施の形態に係るDRAMの断面図である。

【図21】図18のII-II方向に沿った本発明の第2の実施の形態に係るDRAMの断面図である。

【図22】本発明の第2の実施の形態に係るDRAMの製造方法を説明する工程図(その1)に係る断面図である。

【図23】本発明の第2の実施の形態に係るDRAMの製造方法を説明する工程図(その2)に係る平面図である。

【図24】(a)は図23のI-I方向の工程断面図で、(b)は図23のII-II方向の工程断面図である。

【図25】本発明の第2の実施の形態に係るDRAMの製造方法を説明する工程図(その3)に係る断面図である。(a)は図23のI-I方向に対応した断面図で、(b)は図23のII-II方向に対応した断面図である。

【図26】本発明の第2の実施の形態に係るDRAMの製造方法を説明する工程図(その4)に係る平面図である。

【図27】(a)は図26のI-I方向の工程断面図で、(b)は図26のII-II方向の工程断面図である。

【図28】本発明の第2の実施の形態に係るDRAMの製造方法を説明する工程図(その5)に係る断面図である。(a)は図26のI-I方向に対応した断面図で、(b)は図26のII-II方向に対応した断面図である。

【図29】本発明の第2の実施の形態に係るDRAMの製造方法を説明する工程図(その6)に係る断面図である。(a)は図26のI-I方向に対応した断面図で、(b)は図26のII-II方向に対応した断面図である。

【図30】本発明の第2の実施の形態に係るDRAMの製造方法を説明する工程図(その7)に係る断面図である。(a)は図26のI-I方向に対応した断面図で、(b)は図26のII-II方向に対応した断面図である。

【図31】本発明の第2の実施の形態に係るDRAMの製造方法を説明する工程図(その8)に係る断面図である。(a)は図26のI-I方向に対応した断面図で、(b)は図26のII-II方向に対応した断面図である。

【図32】本発明の第2の実施の形態の変形例に係るDRAMの製造方法を説明する工程図(その1)に係る平面図である。

【図33】(a)は図32のI-I方向の工程断面図で、(b)は図32のII-II方向の工程断面図である。

【図34】本発明の第2の実施の形態の変形例に係るDRAMの製造方法を説明する工程図(その2)に係る断面図である。(a)は図32のI-I方向に対応した断面図で、(b)は図32のII-II方向に対応した断面図である。

【図35】本発明の第2の実施の形態の変形例に係るDRAMの製造方法を説明する工程図(その3)に係る断面図である。(a)は図32のI-I方向に対応した断面図で、(b)は図32のII-II方向に対応した断面図である。

【図36】本発明の第2の実施の形態の変形例に係るDRAMの製造方法を説明する工程図(その4)に係る平面図である。

【図37】(a)は図36のI-I方向の工程断面図で、(b)は図36のII-II方向の工程断面図である。

【図38】本発明の第2の実施の形態の変形例に係るDRAMの製造方法を説明する工程図(その5)に係る断面図である。(a)は図36のI-I方向に対応した断面図で、(b)は図36のII-II方向に対応した断面図である。

【図39】図39は本発明の第3の実施の形態に係る半導体装置の平面図である。

【図40】(a)は図39のI-I方向に沿った断面図で、(b)は図39のII-II方向に沿った断面図である。

【図41】本発明の第3実施の形態に係るDRAMの製造方法を説明する工程図(その1)に係る平面図である。

【図42】(a)は図41のI-I方向の工程断面図で、(b)は図41のII-II方向の工程断面図である。

【図43】本発明の第3の実施の形態に係るDRAMの製造方法を説明する工程図(その2)に係る断面図である。(a)は図41のI-I方向に対応した断面図で、(b)は図41のII-II方向に対応した断面図である。

【図44】本発明の第3の実施の形態に係るDRAMの製造方法を説明する工程図(その3)に係る断面図である。(a)は図41のI-I方向に対応した断面図で、(b)は図41のII-II方向に対応した断面図である。

【図45】本発明の他の実施の形態に係る半導体装置(DRAM)の断面図である。

【図46】本発明のさらに他の実施の形態に係る半導体装置(DRAM)の断面図である。

【図47】(a)は本発明のさらに他の実施の形態に係る半導体装置(SRAM)の回路図で、(b)は(a)の回路図に示した半導体装置(SRAM)の平面図である。

【図48】従来の半導体装置の金属配線と半導体領域中の主電極領域との接続部を示す平面図である。

【図49】(a)は図48のI-I方向の断面図、(b)は、図48のII-II方向の断面図である。

【図50】図48及び図49に示した従来の半導体装置の製造方法を説明する工程断面図である(その1)。

【図51】図48及び図49に示した従来の半導体装置の製造方法を説明する工程断面図である(その2)。

【図52】従来の半導体装置のコンタクトホール形状を

説明する断面図である。

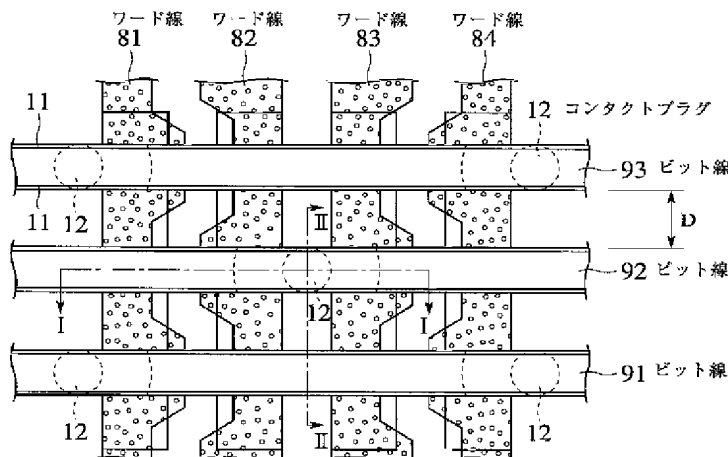
【図53】従来の半導体装置のコンタクトホール中のバリアメタルの膜厚分布を示す図である。

【図54】従来の半導体装置の他のコンタクトホール形状を示す断面図(a)および平面図(b)である。

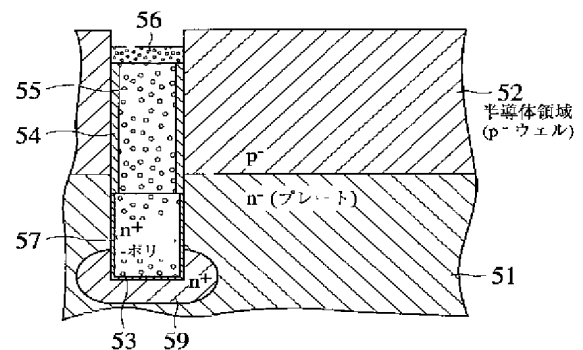
【符号の説明】

- | | |
|---|---|
| 1 半導体領域 | 55 第2のn ⁺ DOPOS |
| 2 素子分離絶縁膜(STI領域) | 56 第3のn ⁺ DOPOS |
| 3 ゲート酸化膜 | 57 容量絶縁膜 |
| 4 シリコン窒化膜(Si ₃ N ₄) | 58 シリコン窒化膜(Si ₃ N ₄) |
| 5 ゲート電極 | 59 n ⁺ 拡散層 |
| 6 電荷蓄積容量部(トレンチキャパシタ部) | 61 n ⁺ ソース領域 |
| 7 側壁・シリコン酸化膜 | 62 n ⁺ ドレイン領域 |
| 8 層間絶縁膜(第1の層間絶縁膜) | 65 チャンネル領域 |
| 9 導電膜(タングステン膜) | 66 活性領域(Active Area:デバイス領域) |
| 10 コンタクトホール | 69 埋め込みコンタクト(buried strap) |
| 11 バリヤメタル | 81~84, 86~88 ワード線 |
| 12 コンタクトプラグ | 91, 92, 93 ビット線 |
| 13 補助膜(液状有機材料膜;有機膜) | 91a, 92a ビット線溝 |
| 14 レジスト | 201 p型(100)シリコン基板 |
| 15 第2の層間絶縁膜 | 202 埋め込み酸化膜 |
| 24 レジスト | 203 p型SOI層 |
| 25 レジスト | 301 ビット線 |
| 26 タングステン膜 | 302 反転ビット線 |
| 27 最終パッシベーション膜 | 303 高位電源配線 |
| 28 レジスト | 304 低位電源配線 |
| 29 シリコン酸化膜(SiO ₂)若しくはシリコン窒化膜(Si ₃ N ₄) | 305, 306 金属配線 |
| 51 n ⁺ 埋め込み層(プレート層; n ⁺ プレート電極) | 311, 312 ポリシリコンゲート電極 |
| 52 半導体領域(p ⁻ ウェル) | 313 ワード線 |
| 53 蓄積電極(第1のn ⁺ DOPOS) | 321, 323 p ⁺ ドレイン領域 |
| 54 シリコン酸化膜(カラー酸化膜: collar oxide) | 322 p ⁺ ソース領域 |
| | 324, 326 n ⁺ ソース/ドレイン領域 |
| | 325 n ⁺ ソース領域 |
| | 327, 328 n ⁺ ドレイン領域 |
| | 425 蓄積電極 |
| | 426 容量絶縁膜 |
| | 427 プレート電極 |

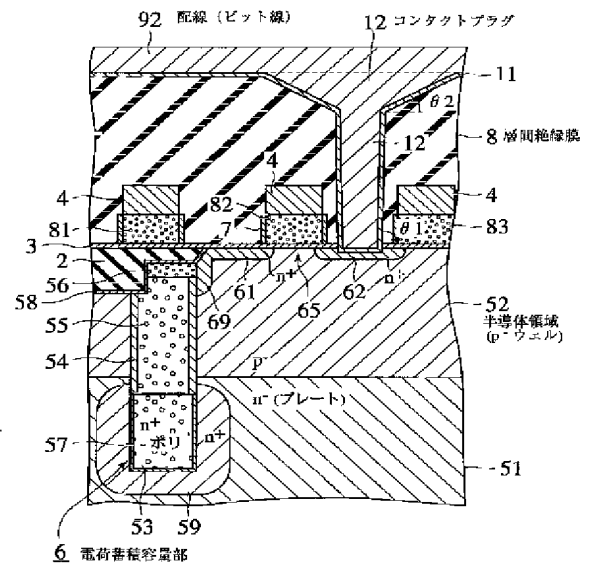
【図1】



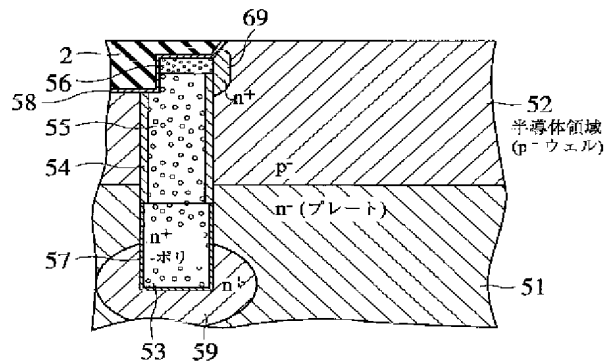
【図5】



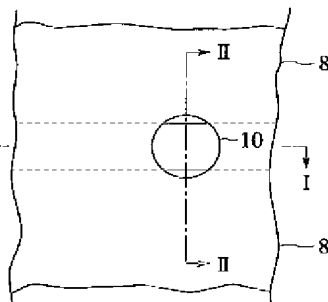
【例 3】



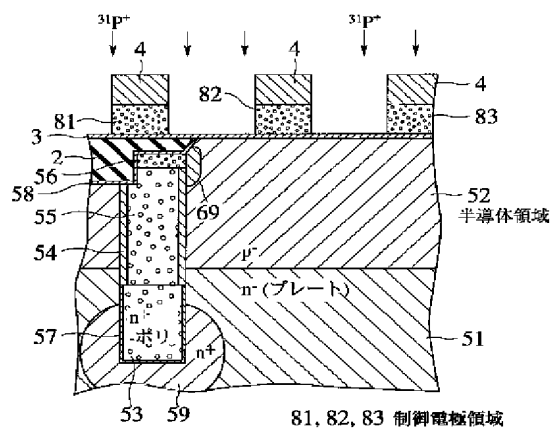
61 主電極領域 (第1の主電極領域)
62 主電極領域 (第2の主電極領域)
65 チャンネル領域
81, 82, 83 ワード線



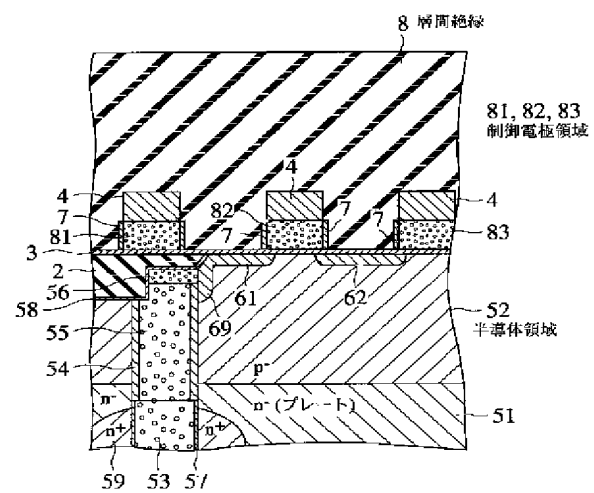
【図 10】



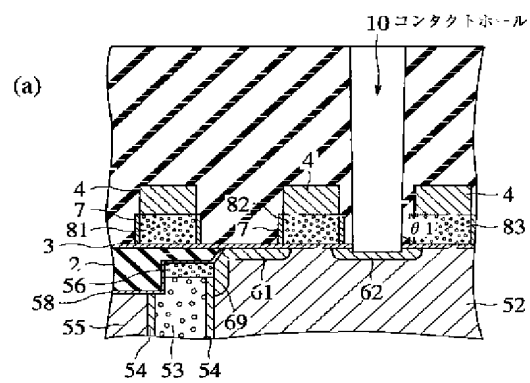
【図7】



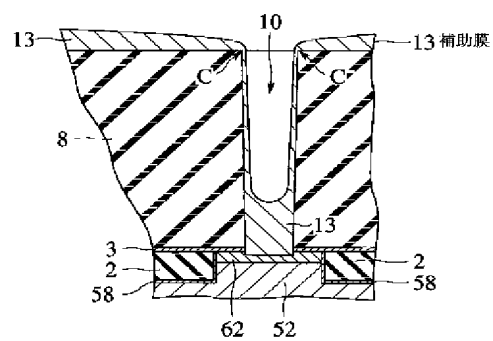
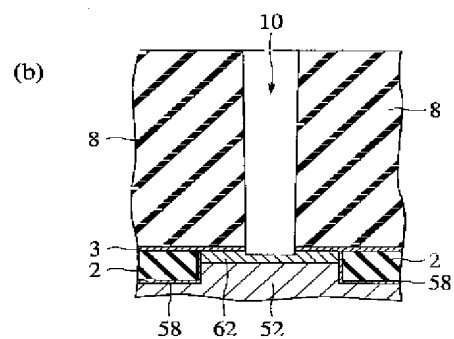
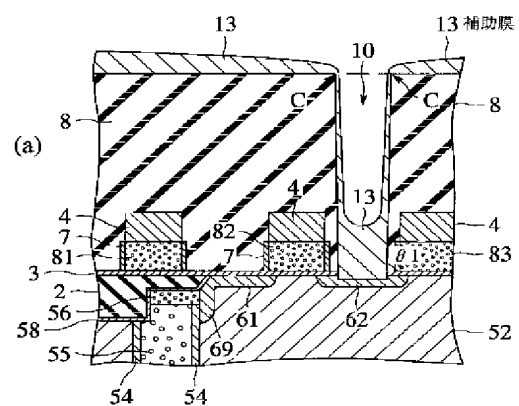
【図9】



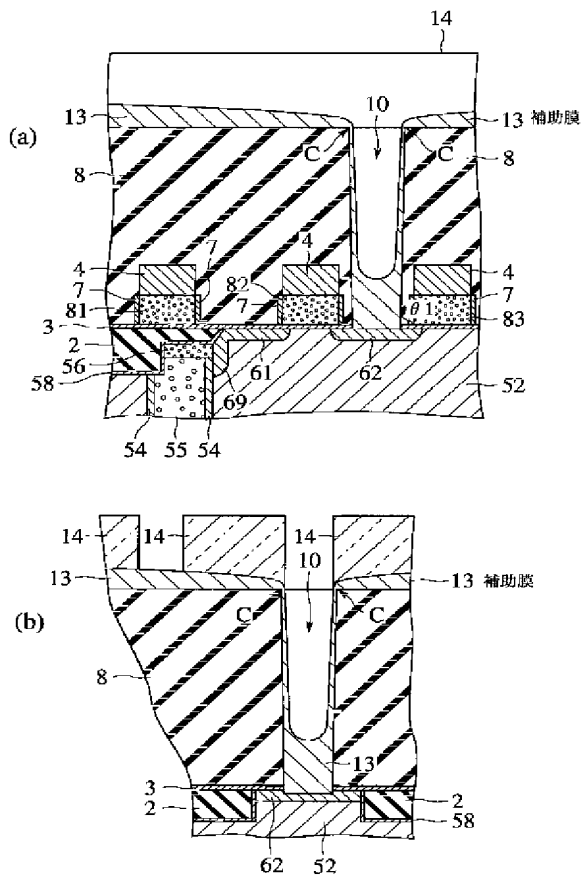
【图 1-1】



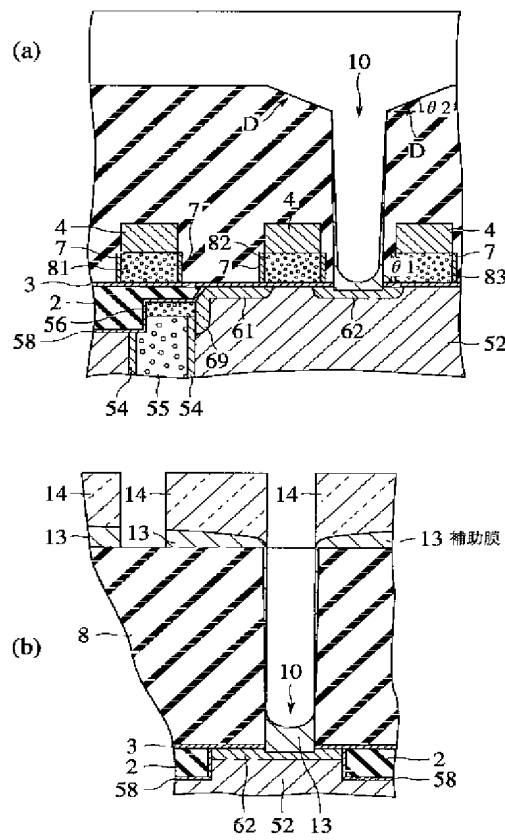
【例 12】



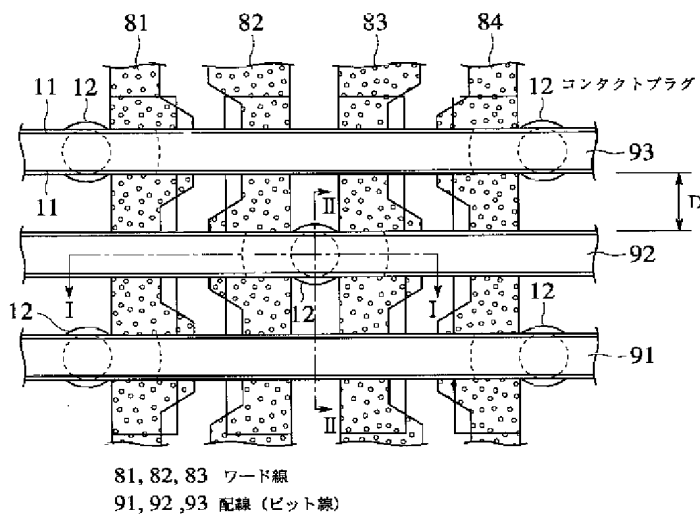
【図13】



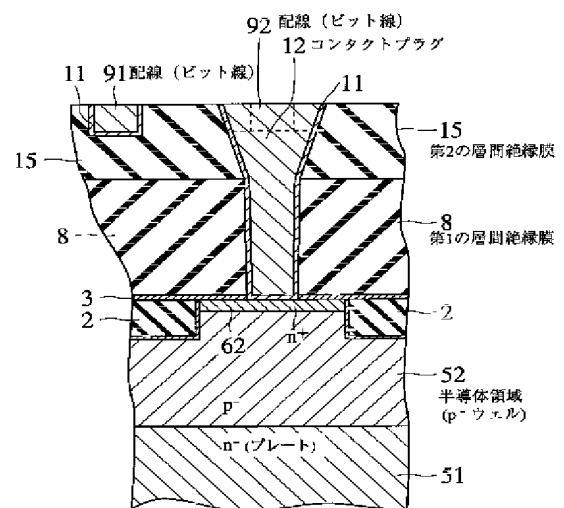
【図14】



【図18】

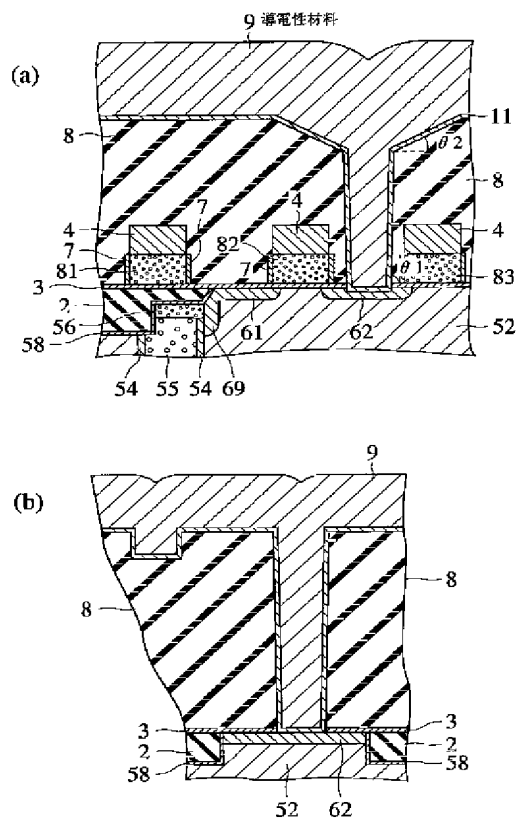


【図21】

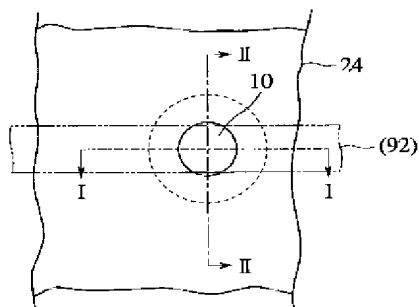


62 主電極領域 (第2の主電極領域)

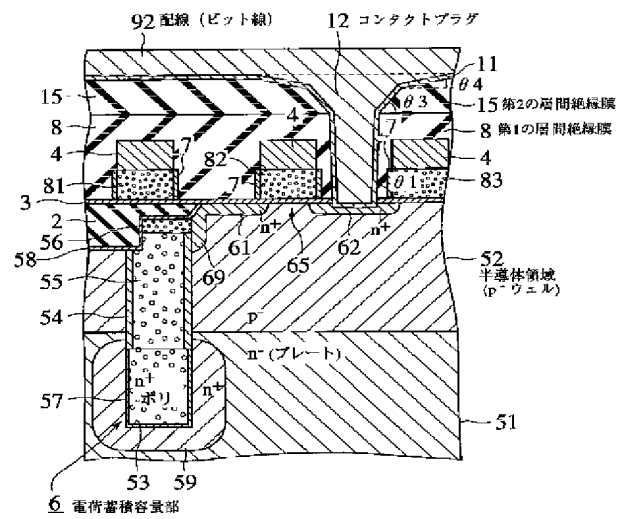
【図 1 7】



【図 2 3】

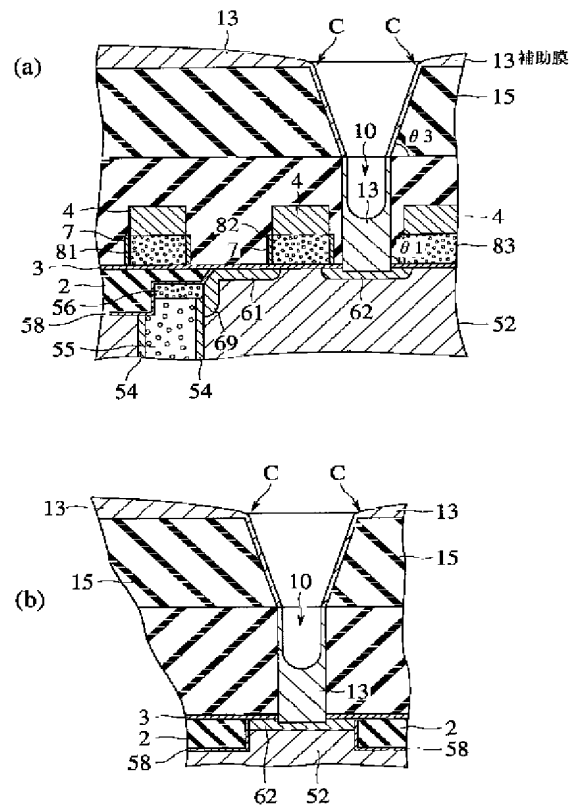


【図 2 0】

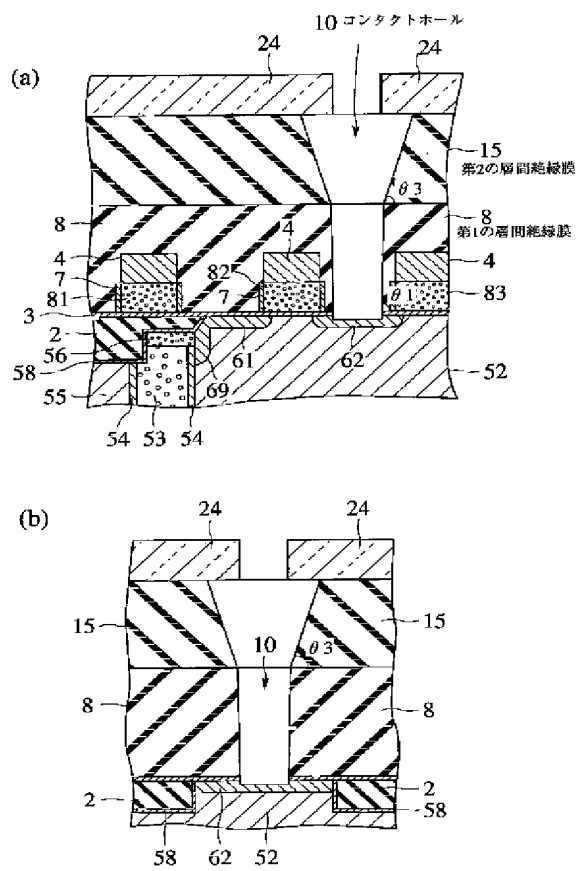


61 主電極領域 (第1の主電極領域)
 62 主電極領域 (第2の主電極領域)
 65 チャネル領域
 81, 82, 83 ワード線

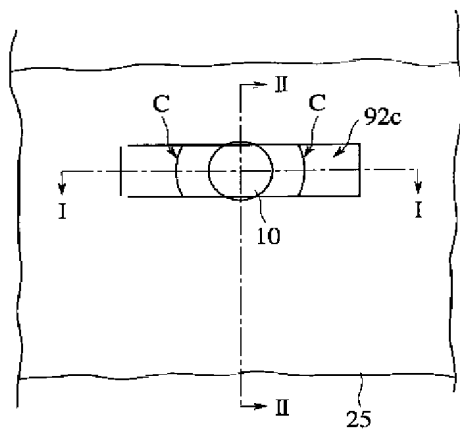
【図 2 5】



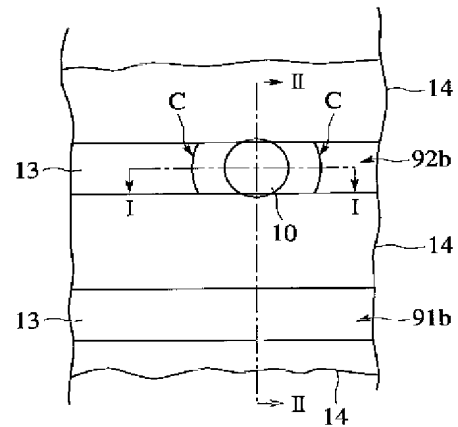
【図24】



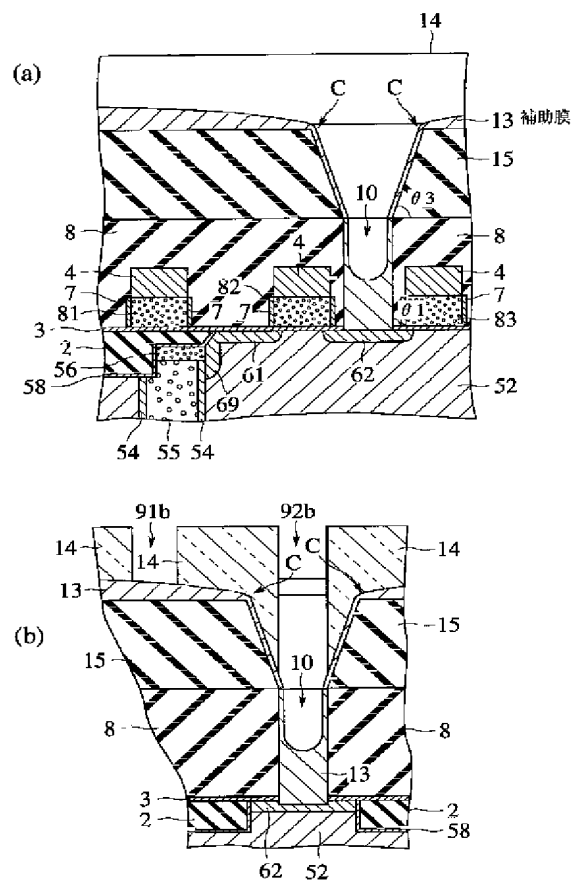
【図32】



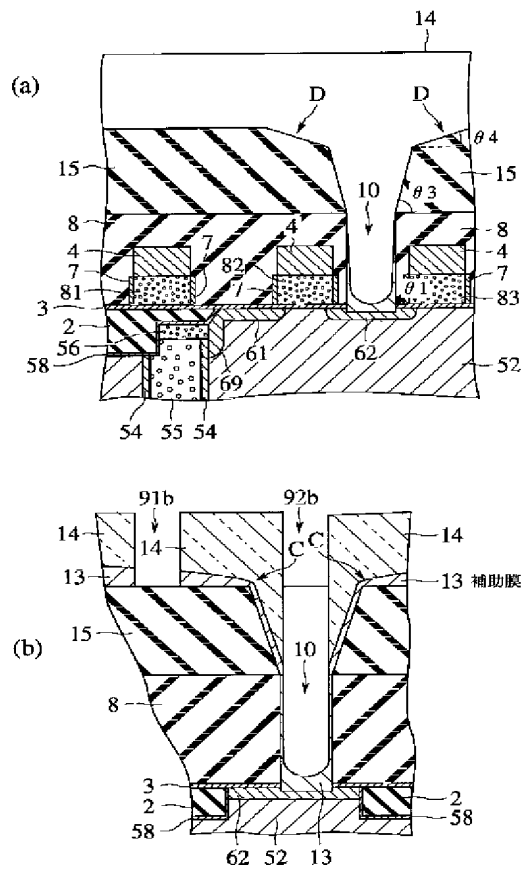
【図26】



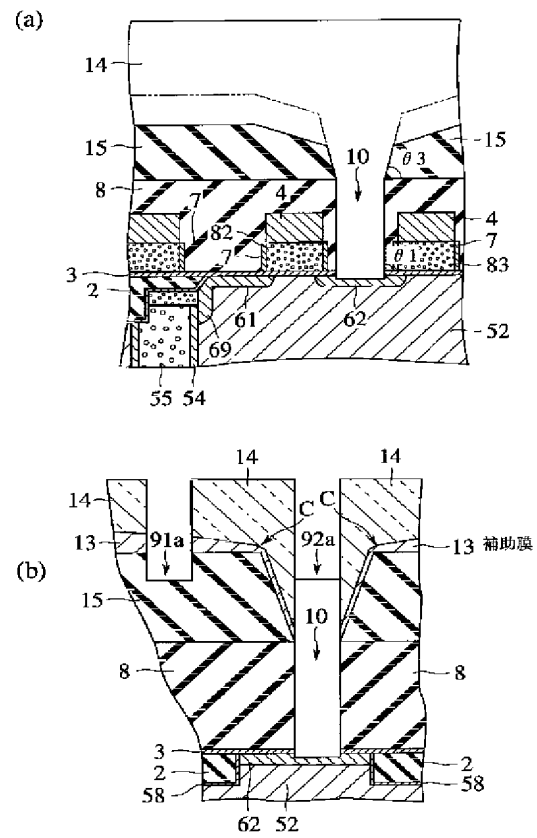
【図27】



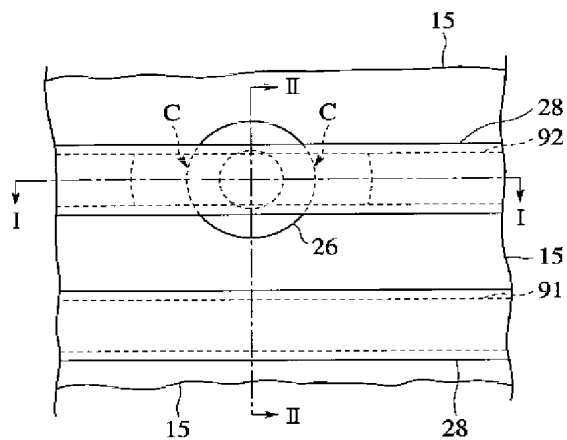
【図28】



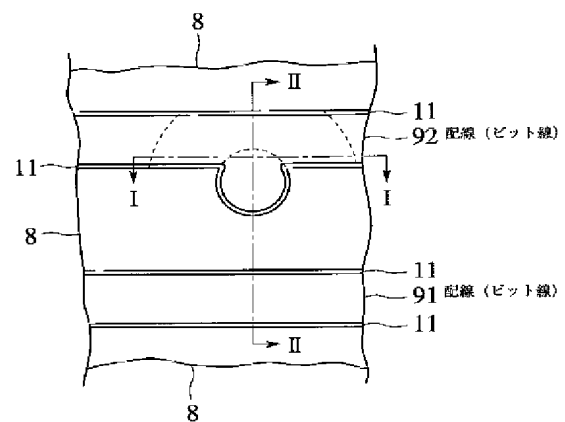
【図29】



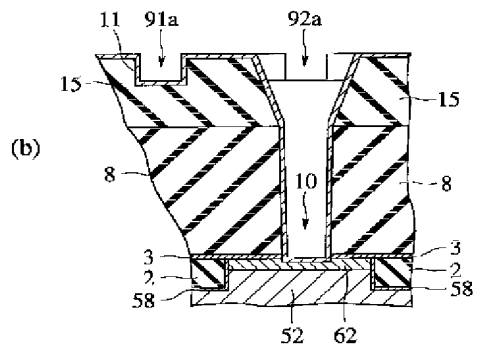
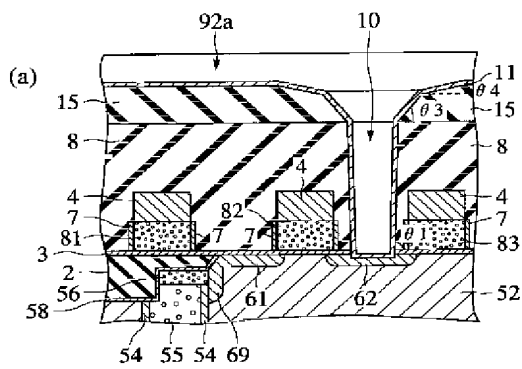
【図36】



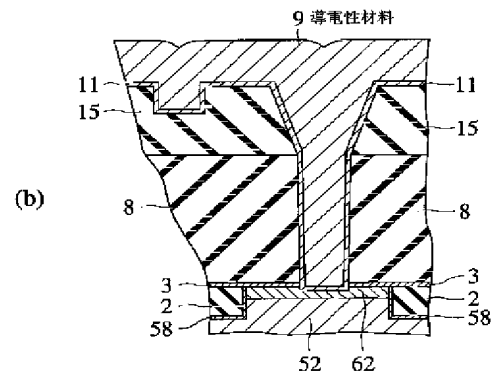
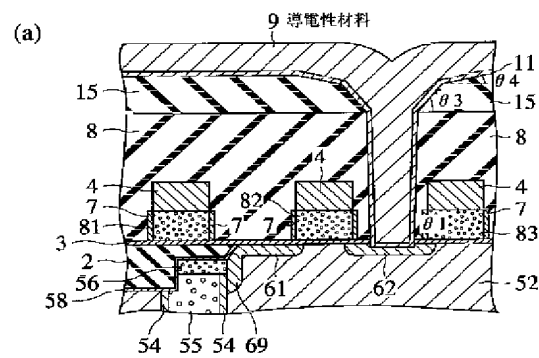
【図39】



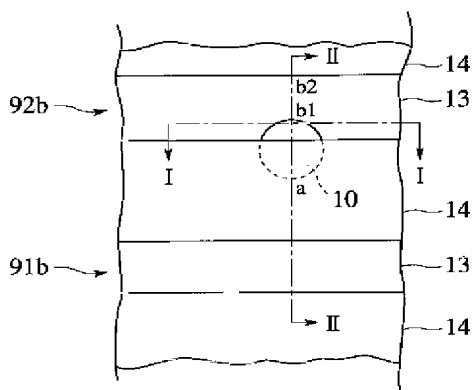
【図30】



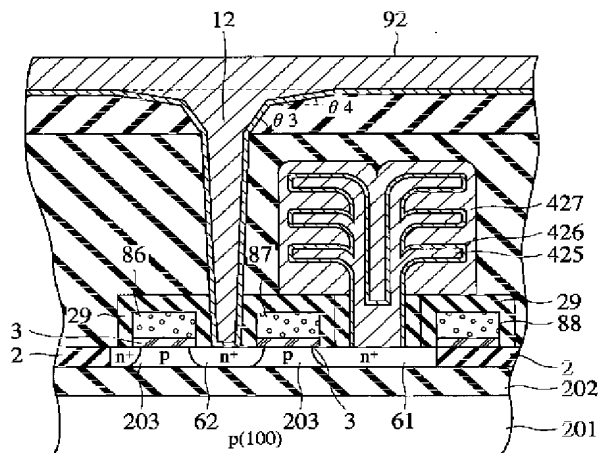
【図31】



【図41】

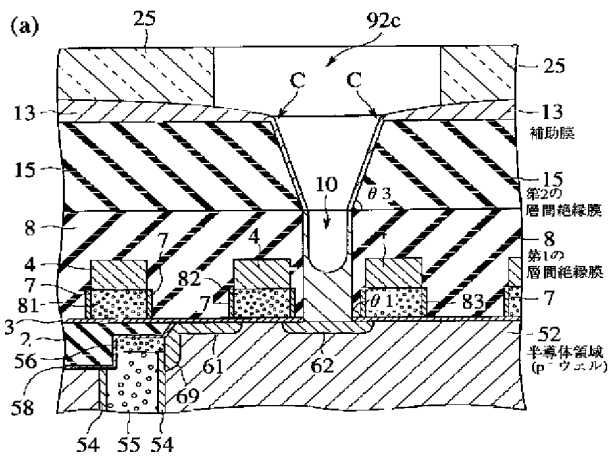


【図46】

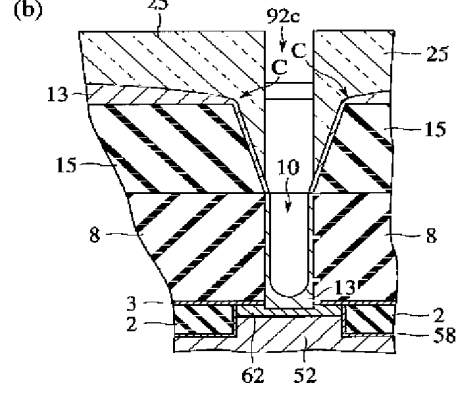
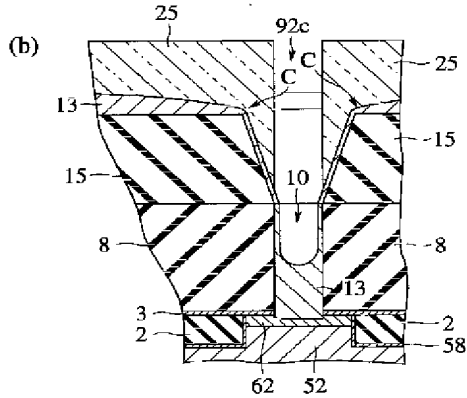
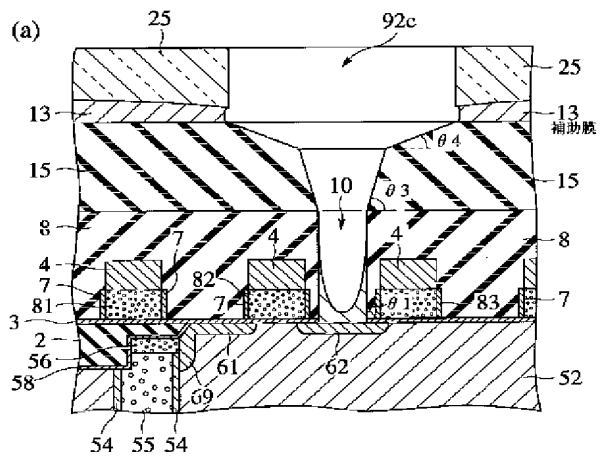


61 第1の主電極領域
 62 第2の主電極領域
 86, 87, 88 ワード線
 203 半導体領域
 425 } 電荷蓄積容量部
 426 }
 427 }

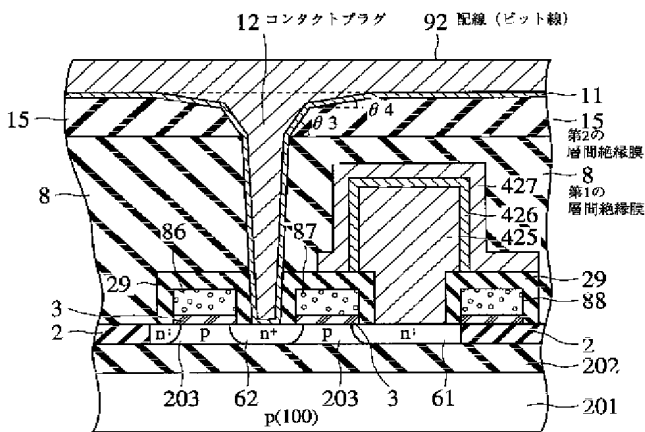
【図 3 3】



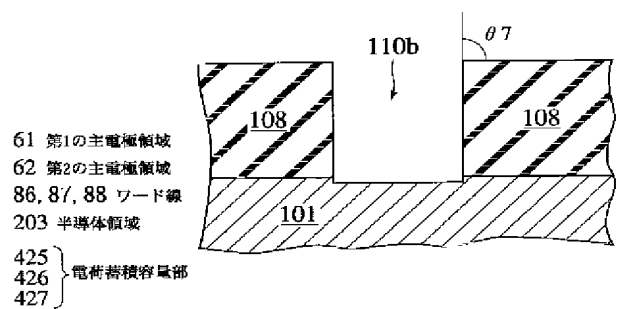
【図 3 4】



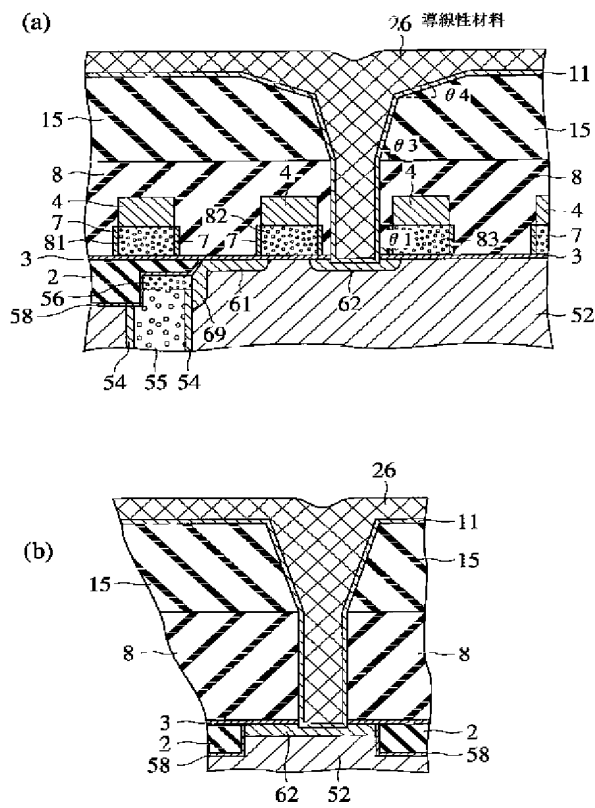
【図 4 5】



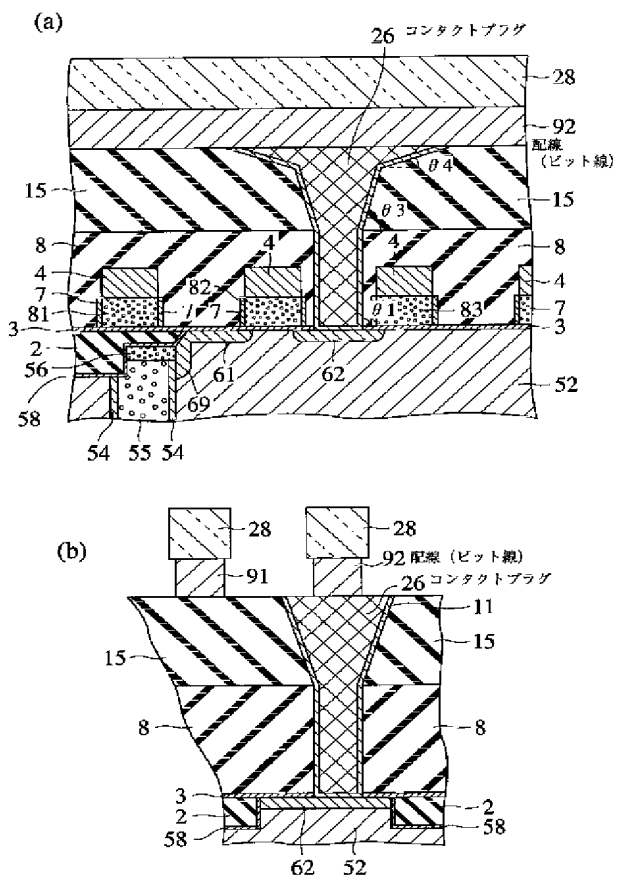
【図 5 2】



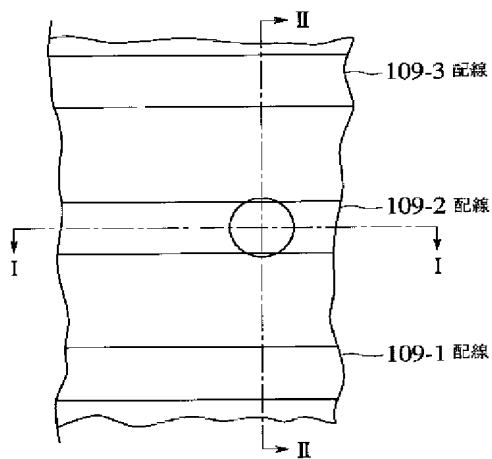
【図35】



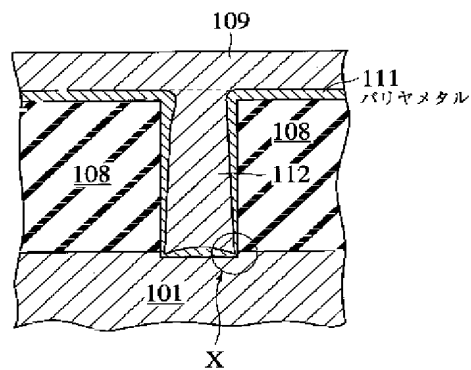
【図37】



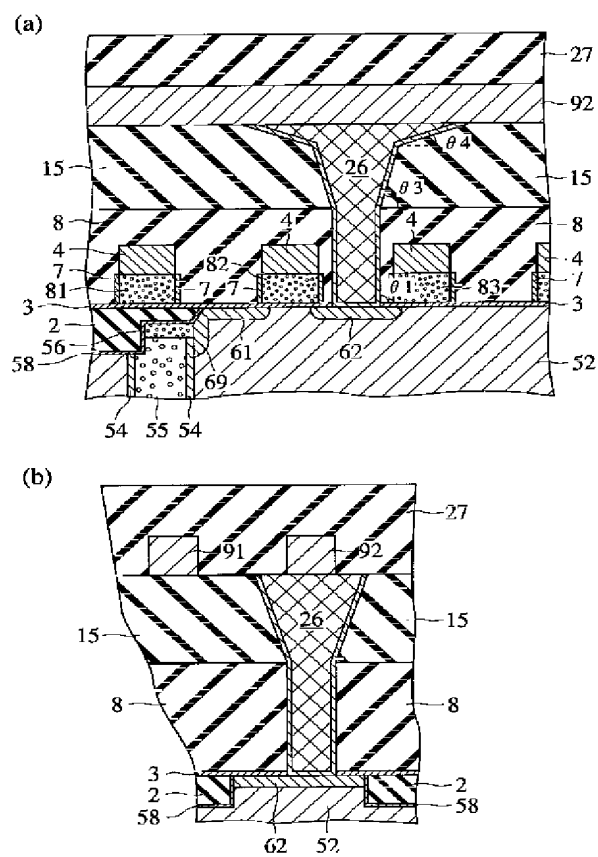
【図48】



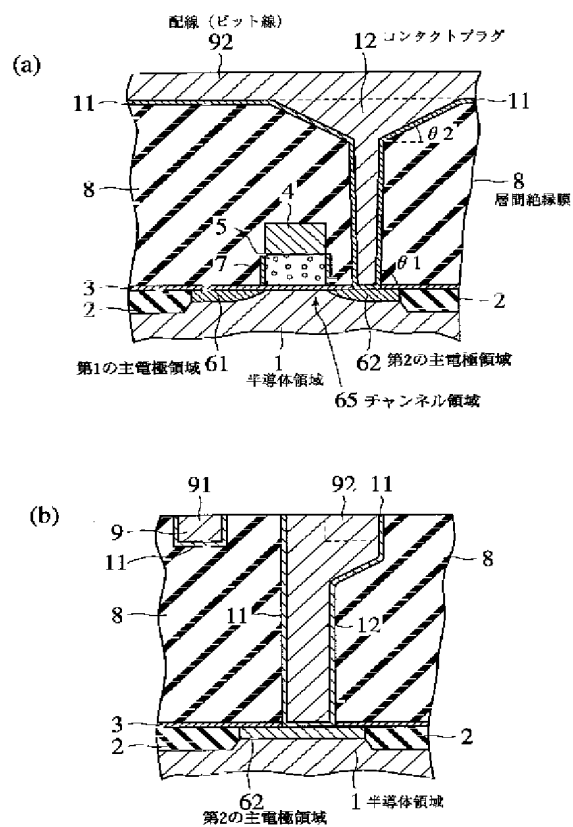
【図53】



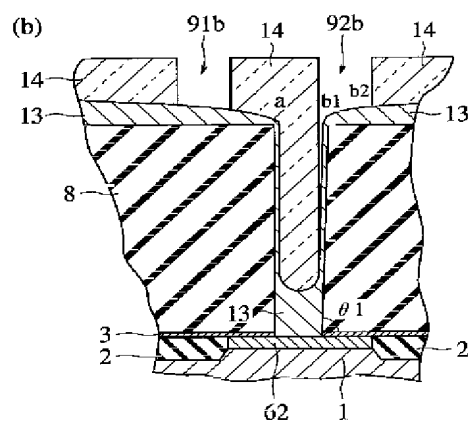
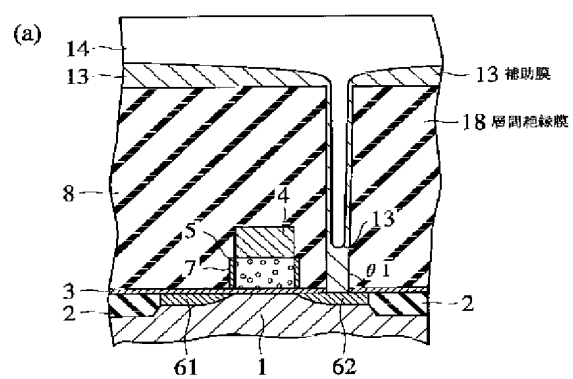
【图38】



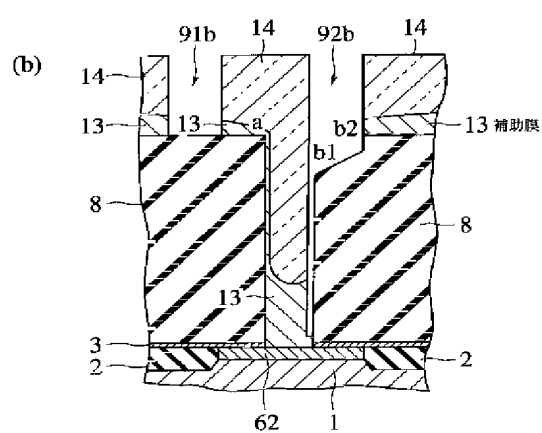
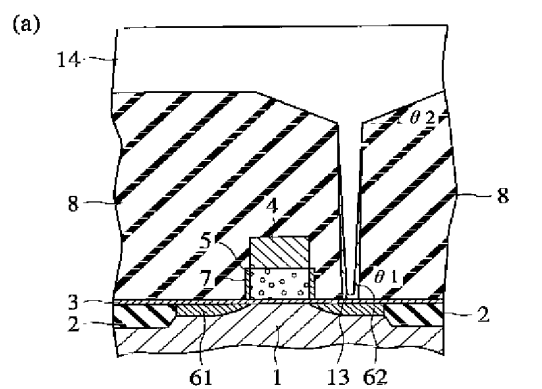
【図40】



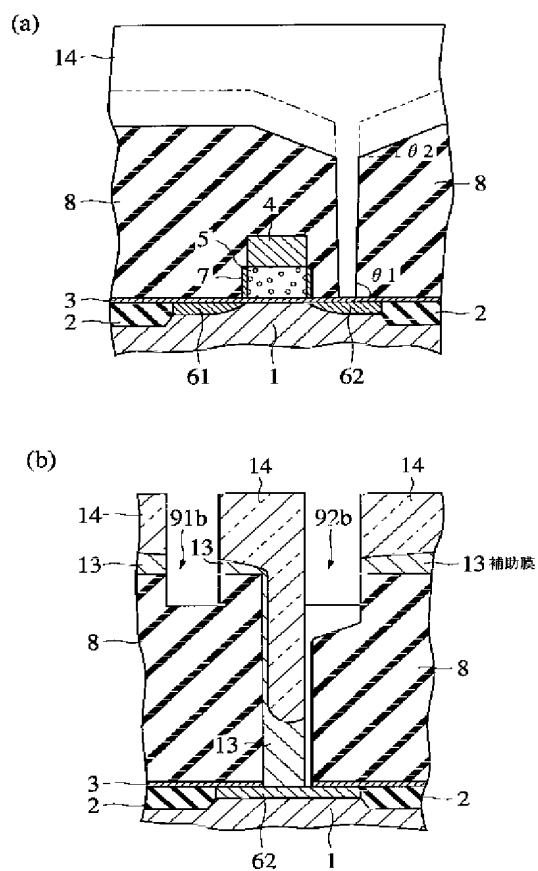
【例42】



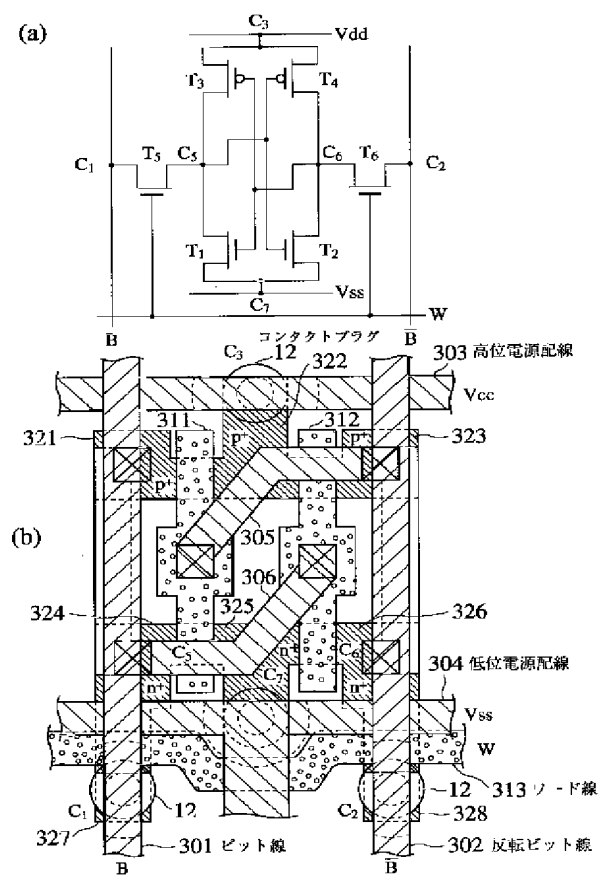
【图43】



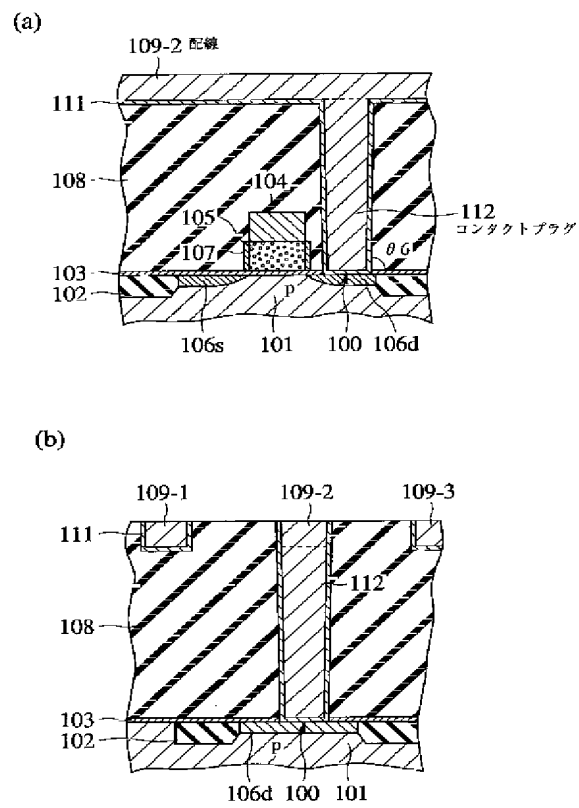
【例 4-4】



【図47】



【図49】



【図50】

